



Gamma ray detector array con Silicon Drift Chamber

Int Rep 592/2011

Pag 1

Agosto 2010

DOCUMENT TYPE: Rapporto Interno

TITLE: Gamma ray detector array con Silicon Drift Chamber

DOCUMENT Ref. No.: 592/2011

PREPARED BY: C. Labanti, F. Fuschino, M. Marisaldi, A. Mauri, E. Rossi,
A. Traci, P. Bastia °, S. Cappelli *

N° OF PAGES: 90

DATE: Maggio 2011

° Thales-AleniaSpace Milano, * Dip di Fisica, Università di Bologna

SOMMARIO

1 INTRODUZIONE.....	5
1.1 SCOPO	5
1.2 DOCUMENTI DI RIFERIMENTO	5
1.3 KEYWORDS.....	5
2 SCHEMA A BLOCCHI DEL SISTEMA DI RIVELAZIONE.....	6
3 LA BOX1 DI SERVIZIO	8
3.1 IL BLOCCO POWER SUPPLY	9
3.1.1 GLI ALIMENTATORI	10
3.1.2 IL SEQUENCER DELLE TENSIONI SDC.....	10
3.1.3 L'ACQUISITION SYSTEM	11
4 LA BOX2 DEI RIVELATORI.....	15
4.1 I RIVELATORI SDC ARRAY.....	16
4.1.1 IL DEVICE DI TEST	16
4.2 L'ELETTRONICA DI LETTURA DEI SEGNALI: L'ICARUS-SDC ASIC.....	17
4.3 LA DISTRIBUZIONE DI RIVELATORI ED ASIC SULLA SCHEMA DI ELETTRONICA	19
5 SOFTWARE DI PILOTAGGIO E CONTROLLO DELLA CATENA DI ACQUISIZIONE DATI.	22
5.1 OPERAZIONI PRELIMINARI	22
5.2 SOFTWARE DI CONTROLLO DELLA CATENA DI ACQUISIZIONE.....	23
5.2.1 UTILIZZO DEL SOFTWARE “SETUP_CORE”	23
5.2.2 UTILIZZO DEL PROGRAMMA “ACQ_CORE”	25

APPENDICI

A PIN Function connettori	27
B Caratteristiche alimentatori	31
C Schemi scheda sequencer	35
D Schemi scheda adattatore tra scheda NI e front end elettronica	37
E Il chip SDC ed il rivelatore	38
F Attrezzatura per il montaggio dei cristalli su SDC array	45
G Sequenza di montaggio dei cristalli su SDC array	46
H Il device di test	52
I ICARUS-SDC ASIC	54
J Scheda FEE e collegamenti SDC-ASIC	67

INDICE FIGURE

Figura 1 Sistema di rivelazione completo, la scatola a destra contiene i rivelatori e l'elettronica di front-end, la scatola a sinistra contiene il power suply ed il sistema di acquisizione e controllo che si interfaccia con la front end elettronica ed il PC (i cavi sono nella parte posteriore)	6
Figura 2 Schema a blocchi del sistema di rivelazione con descrizione delle funzioni svolte	7
Figura 3 Disposizione dei blocchi entro la box1	8
Figura 4 Schema del blocco Power Supplly, gli alimentatori forniscono le tensioni al rivelatore attraverso un sequenziatore che regola le diverse fasi di accensione-	9
Figura 5 Schema a blocchi della scheda di acquisizione (a sinistra) e particolare dei segnali routed sui due connettori sulla scheda stessa (a destra).....	13
Figura 6 Sequenza di I/O modificata dalla'adattatore per la scheda NI. In alto il caso di un solo evento registrato, in basso il caso di due eventi. La sequenza è da confrontare con dei segnali di I/F con l'ASIC	14
Figura 7 La scheda HE con rivelatori e front end elettronica basata su ASIC. In evidenza è uno degli array dei rivelatori e 2 ASIC che sono piazzati sulla scheda.	15
Figura 8 Rivelatore del sistema basati su un array di 20 SDC montati su carrier di Alumina (a sinistra). Su questo device è montato un frame in Al che alloggia cristalli scintillatori con la stessa sezione dei PD (al centro). A destra è mostrato il device completo con la chiusura superiore. Sul lato inferiore del device, il carrier di Alumina è forato come illustrato nel testo.	16
Figura 9 Device di test con una sola SDC da montare per le prove al posto dell'array	17
Figura 10 Diagramma funzionale dell'ICARUS-SDC ASIC	18
Figura 11 Sequenza di readout di un canale dell'ASIC (solo 2 dei 4 bit di indirizzo sono mostrati)	18
Figura 12 Disposizione dei componenti (Rivelatori, ASIC, glue logic etc) sulla scheda da front-end.	20
Figura 13 Disposizione di rivelatori ed ASIC e relazione tra id di un rivelatore e canale dell'ASIC Quando un canale rivelatore condivide con un diverso canale rivelatore la possibilità di essere collegato allo stesso canale di lettura di un ASIC, questo ultimo è indicato in rosso.	21
Figura 14 Switch di comando sequenza di accensione rivelatori.....	22
Figura 15 Comando per il Threshold Setting.....	23
Figura 16 Comando Selezione PIXEL Selezionare Attivo.	23
Figura 17 Comando di selezione dell'ASIC.	24
Figura 18 Comandi di selezione dei canali attivi di ciascun ASIC.	24
Figura 19 Comando di calibrazione offset Premere per attivare la procedura di calibrazione dell'offset.....	24
Figura 20 Switch di selezione modalità di lettura degli ASIC sparse (legge solo i canali che hanno triggerato) o sequential (qualunque canale triggeri la lettura è su tutti i canali).....	25
Figura 21 Display dell'indirizzo dell'ASIC e del pixel che ha triggerato.....	25
Figura 22 Pulsanti di fine acquisizione	26
Figura 23 Pin function connettore di ingresso al sequencer	27
Figura 24 Pin function del connettore PS2 che collega l'uscita dal sequencer della BOX1 con l'ingresso delle alimentazioni delle BOX2. Le varie tensioni rappresentate nel connettore J2 illustrato a destra hanno una corrispondenza con le varie funzione delle SDC (illustrate sul connettore rappresentato a sinistra) ed accese in cascata dal sequencer	28
Figura 25 Pinout dei due connettori della scheda NI USB-6259. La corrispondenza con i segnali della box2 è riportata nella tabella seguente.	29
Figura 26 Caratteristiche alimentatori di bassa tensione.....	31
Figura 27 Descrizione alimentatore alta tensione per la polarizzazione delle SDC	32
Figura 28 Caratteristiche alimentatore alta tensione	33
Figura 29 Schemi dei partitori del sequencer.....	34
Figura 30 Schema temporizzatore del sequencer.....	35
Figura 31 Disposizione dei componenti della scheda sequencer da confrontare con l'immagine a lato	36
Figura 32 Schema adattatore per la gestione di eventi multipli via HW e la generazione continua di trigger come richiesto dalla scheda NI.....	37
Figura 33 Disegno e foto del hip SDC (in alto), disegno e foto del carrier di Allumina e montaggio del chip sul carrier.....	39
Figura 34 Particolare del chip SDC	40
Figura 35 SDC pin function e posizione dei PD: vista dall'alto	42
Figura 36 Disegno esploso del device SDC	43
Figura 37 Disegno meccanico del device SDC	44

Figura 38 Base di montaggio per SDC (con sistema per la protezione dei bonding, marrone semitrasparente) ...	45
Figura 39 Base di montaggio per SDC: si vedono il ‘frame cristalli’ (azzurro) ed il sistema per il posizionamento del ‘frame cristalli’ (marrone)	45
Figura 40 Attrezzatura per il montaggio dei cristalli sui diodi SDC.....	46
Figura 41 Modalità di bonding SDC singola (bottom view).....	52
Figura 42 Top view SDC singola (lato ottico) montata su Allumina e pin function SDC singola.....	52
Figura 43 Pin function SDC singola montata sull’adapter. A sinistra top view adattatore, la SDC è montata a rovescio e presenta il back in quella che è la top-view dell’adapter, i.e. il lato ottico è dalla parte bottom dell’adapter dove ci sono i pin.....	53
Figura 44 ICARUS-SDC ASIC modalità di collegamento al rivelatore.....	54
Figura 45 ICARUS SDC ASIC outline (CLCC-68 package) e pin assignment.....	57
Figura 46 ICARUS SDC ASIC description	60
Figura 47 ICARUS SDC ASIC digital I/O equivalent circuit	61
Figura 48 Mating network per la connessione tra rivelatori ed ASIC	68
Figura 49 Schema di collegamento tra SDC ed ASIC via mating network	69
Figura 50 Rivelatore HY1: ad ogni rettangolo corrisponde un pixel le cui coordinate sono indicate esternamente alla mappa (es pixel D3) Un pixel può essere collegato ad un canale veloce o lento del relativo integrato (Es Df collegato all’integrato IC9 canale 5s (lento) ed all’integrato IC9 canale 13f (veloce). con resistenze di 47 kOhm. Sempre in esempio l’indirizzo logico del canale lento e’ 106 di quello veloce 98. Un riquadro bianco indica mancanza di collegamento Un riquadro grigio indica FET malfunzionante.....	70

INDICE TABELLE

Tabella 1 Pin function connettore di ingresso al sequencer	27
Tabella 2 Pin function del connettore di ingresso delle alimentazioni del front end	28
Tabella 3 descrizione segnali di I/O tra scheda di acquisizione NI e front end elettronica	30
Tabella 4 Tabella connessioni MEGA-Chip	41
Tabella 5 ASIC pin function (continua).....	58
Tabella 6 Descrizione registri interni	64

1 INTRODUZIONE

1.1 SCOPO

Viene descritto un sistema rivelatore per raggi X e gamma basato sull'impiego di scintillatori letti da fotodiodi a tecnica Silicon Drift Chamber ed elettronica di read-out basata su ASIC

1.2 DOCUMENTI DI RIFERIMENTO

TL24423 SDC READOUT DEMONTRATOR FINAL REPORT
 Thales Alenia Space Report

NI 625x Specifications (National Instruments) da sito <http://www.ni.com/>

1.3 KEYWORDS

ADC	Analog to Digital Converter
ASIC	Application Specific Integrated Circuit
ESA	European Space Agency
FBK	Fondazione Bruno Kessler
FEE	Front End Electronics
IASF	Istituto di Astrofisica Spaziale e Fisica cosmica
I/F	Interfe
INAF	Istituto Nazionale di AstroFisica
INFN	Istituto Nazionale di Fisica Nucleare
MCA	Multi Channel Analyzer
PD	PhotoDiode
Q.E.	Quantum Efficiency
SDC	Silicon Drift Chamber o SDD Silicon Drif Detector
TBD	To Be Defined
TBC	To Be Confirmed
TBS	To Be Specified
TE	Test Equipment

2 SCHEMA A BLOCCHI DEL SISTEMA DI RIVELAZIONE

Le caratteristiche principali del sistema di rivelazione sono:

- 80 rivelatori X e gamma indipendenti che possono operare separatamente o in coincidenza
- Range energetico (a seconda della modalità operativa) compreso tra qualche keV e 1 MeV
- Ottima risoluzione energetica tra qualche keV e circa 20 keV e buona risoluzione fino al MeV
- Risoluzione spaziale data dalle dimensioni dei pixel di circa 5x5 mm

Il sistema di rivelazione contiene 4 matrici di rivelatori a scintillazione pixellati per la rivelazione di radiazione X e gamma ed appare come mostrato in Figura 1 composto da due scatole e da un PC per l'acquisizione e l'analisi dei dati. I singoli pixel rivelatori sono costituiti da fotodiodi realizzati con la tecnica dei Silicon Drift Detector, cui sono otticamente accoppiati cristalli scintillatori. La radiazione rivelata nello scintillatore è compresa nel range che spazia da qualche decina di keV a circa 1 MeV; la radiazione rivelata direttamente nel Si del PD è compresa tra qualche keV a circa 20 keV. Le caratteristiche temporali del segnale prodotto nei due casi sono diverse e, a scelta, possono essere elaborate in modo diverso dalla elettronica di front-end.

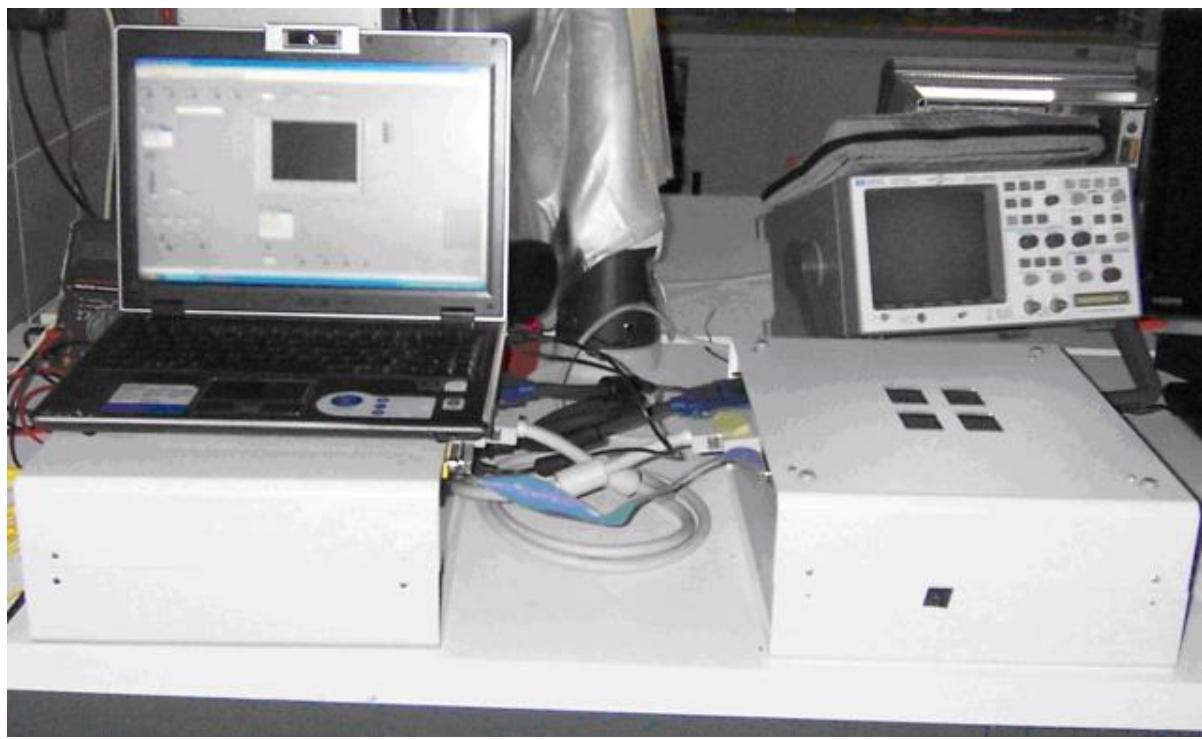


Figura 1 Sistema di rivelazione completo, la scatola a destra contiene i rivelatori e l'elettronica di front-end, la scatola a sinistra contiene il power suply ed il sistema di acquisizione e controllo che si interfaccia con la front end elettronica ed il PC (i cavi sono nella parte posteriore)

Le funzioni delle due box ed i collegamenti tra esse ed il PC sono mostrate nello schema mostrato in Figura 2



Gamma ray detector array con Silicon Drift Chamber

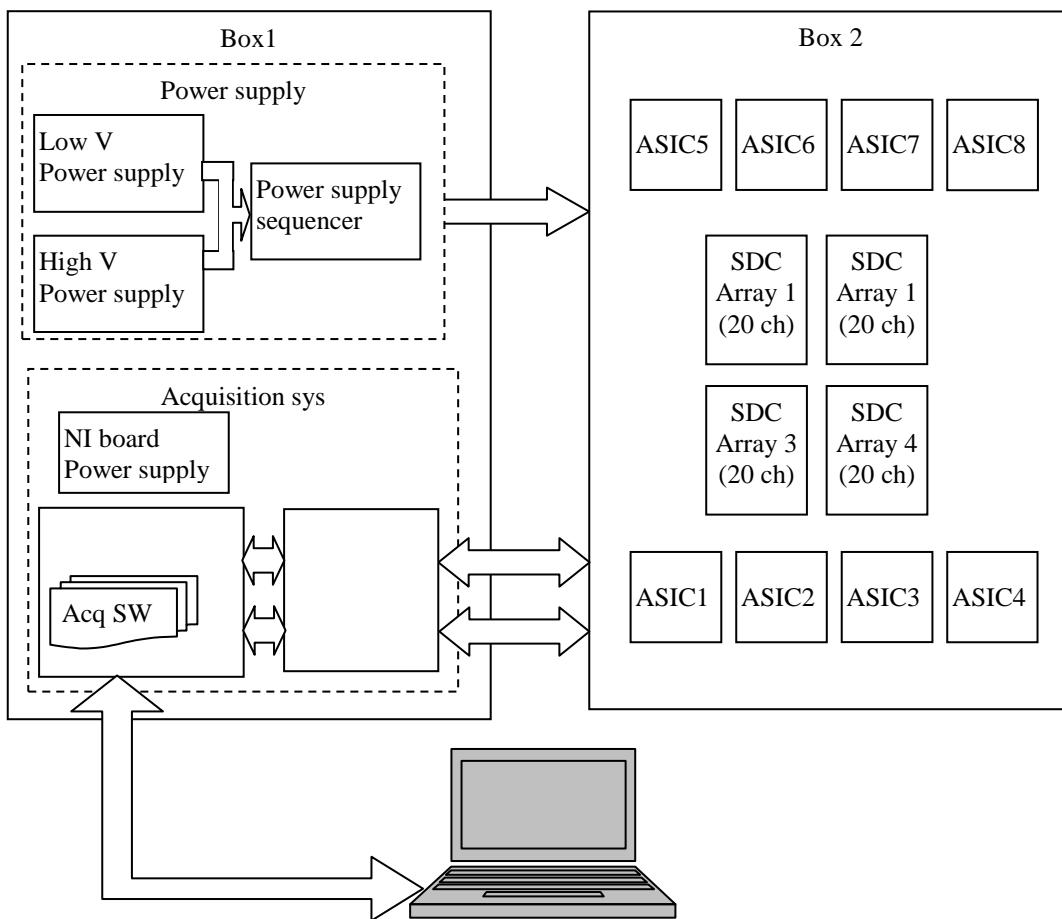


Figura 2 Schema a blocchi del sistema di rivelazione con descrizione delle funzioni svolte

La box1 contiene:

1. Il blocco Power Supply che ha la funzione di fornire tutte le alimentazioni necessarie sia ai rivelatori che alla elettronica di front end della scheda HE board
2. Il blocco acquisition system che ha la funzione di generare le sequenze di comando del sistema con rivelatori ed elettronica e di fare la conversione in digitale dei segnali ricevuti

La box2 contiene:

3. I rivelatori (4 sistemi ad array con 20 elementi ognuno)
4. La scheda di elettronica basata su ASIC (8 ASIC da 16 canali) e glue logic

Tra box1 e box 2 e tra questa ed il PC si hanno i seguenti collegamenti

- 1 cavo di power supply per i rivelatori e la scheda di elettronica
- 2 cavi per lo scambio dei segnali tra scheda di elettronica e blocco acquisition
- Un cavo USB collega il blocco di acquisizione ed il computer

Il PC comanda il sistema ed acquisisce i dati, tramite una scheda di acquisizione NI con programmi sviluppati in ambiente Labview. I files dati sono salvati sul PC per una analisi off-line

3 LA BOX1 DI SERVIZIO

Il rivelatore contenuto nella box2 richiede una serie tensioni di power supply per le SDC ed una alimentazione pulita per l'elettronica di front-end basata su ASIC.

Il particolare le diverse tensioni necessarie per la polarizzazione della SDC, ivi incluso un valore di tensione relativamente alta, devono essere applicate secondo una ben definita sequenza per non danneggiare questo device. La generazione delle tensioni e la sequanza di applicazione delle stesse al rivelatore sono svolte dal blocco 'power supply' di

Il blocco 'Acquisition sys' della box1 è basato su una scheda I/O della famiglia National Instruments e colloquia da un lato con il rivelato via una board che realizza una semplice logica sui segnali. Dall'altro lato questo blocco colloquia con il PC. Le funzioni svolte da questo blocco sono:

- Ricezione delle impostazioni di setting del rivelatore dal PC e generazione e spedizione dei comandi relativi alla scheda rivelatore.
- Intefaccia con la front end elettronica del rivelatore e generazione dei segnali relativi
- Conversione analogico digitale dei dati
- Spedizione dati al PC

La Figura 3 mostra la disposizione dei blocchi della box 1

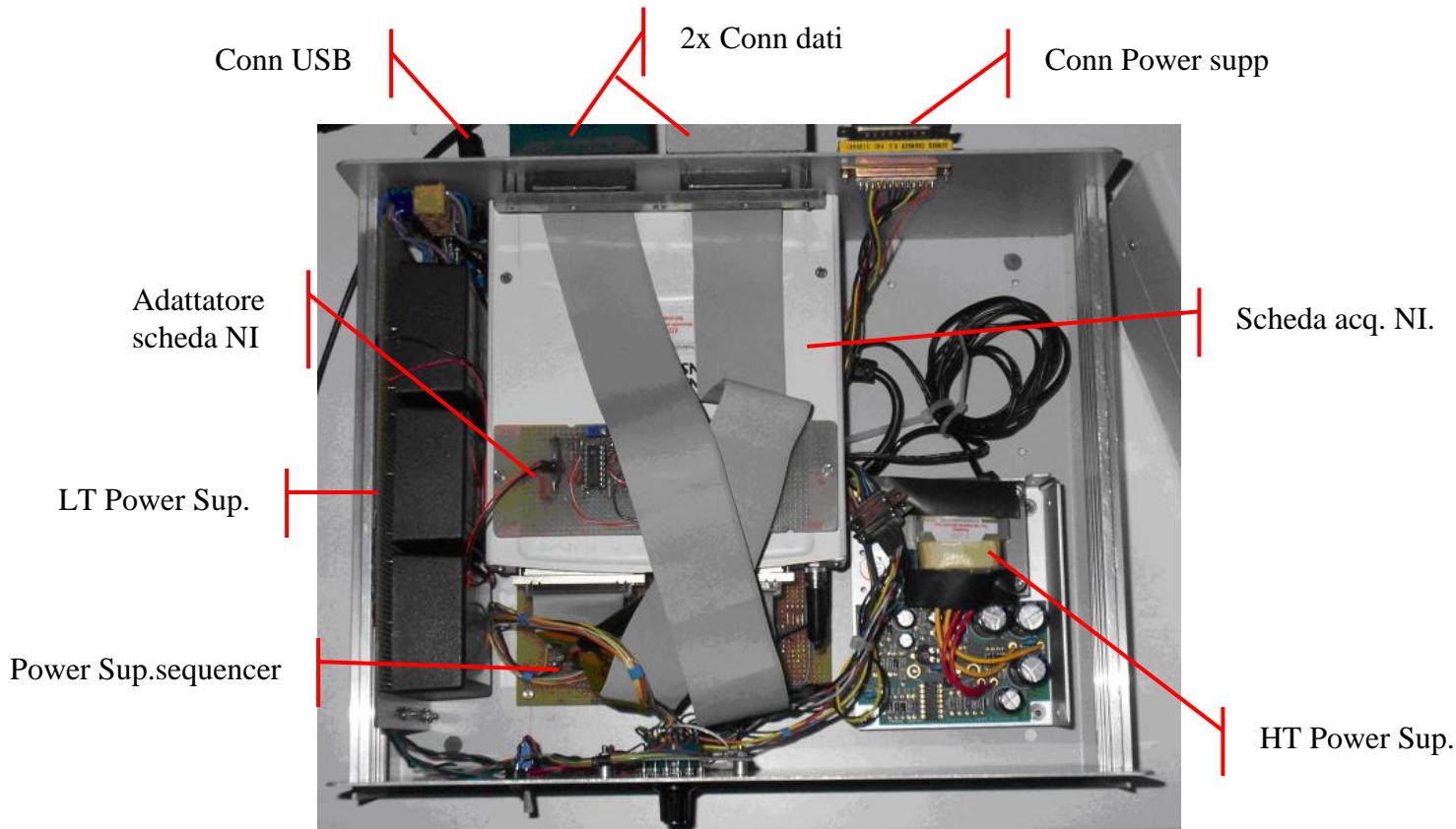


Figura 3 Disposizione dei blocchi entro la box1

3.1 IL BLOCCO POWER SUPPLY

Il blocco Power Supply, schematizzato in Figura 4 fornisce le alimentazioni necessarie sia ai rivelatori che alla elettronica di front end della scheda HE board attraverso il connettore PS2.

Poichè i rivelatori richiedono una sequenza di accensione definita un sequencer provvedere a realizzare la corretta temporizzazione delle tensioni.

All'accensione del sistema sono prontamente disponibili a tutta l'elettronica +5 V. La polarizzazione dei rivelatori (via sequencer) avviene tramite l'interruttore sul pannello della box1

Il blocco Power Supply contiene:

1. 1 alimentatore da 5 V 1 A
2. 1 alimentatore da \pm 12 V 250 mA
3. 1 alimentatore da - 15 V 200 mA
4. 1 alimentatore da 200 V 125 mA
5. Collegamento tra alimentatori e sequencer (connettore PS1 Cannon 9 pin femmina)
6. Power supply sequencer
7. Collegamento alimentazioni alla box 2 (connettore PS2 Cannon 25 pin femmina)

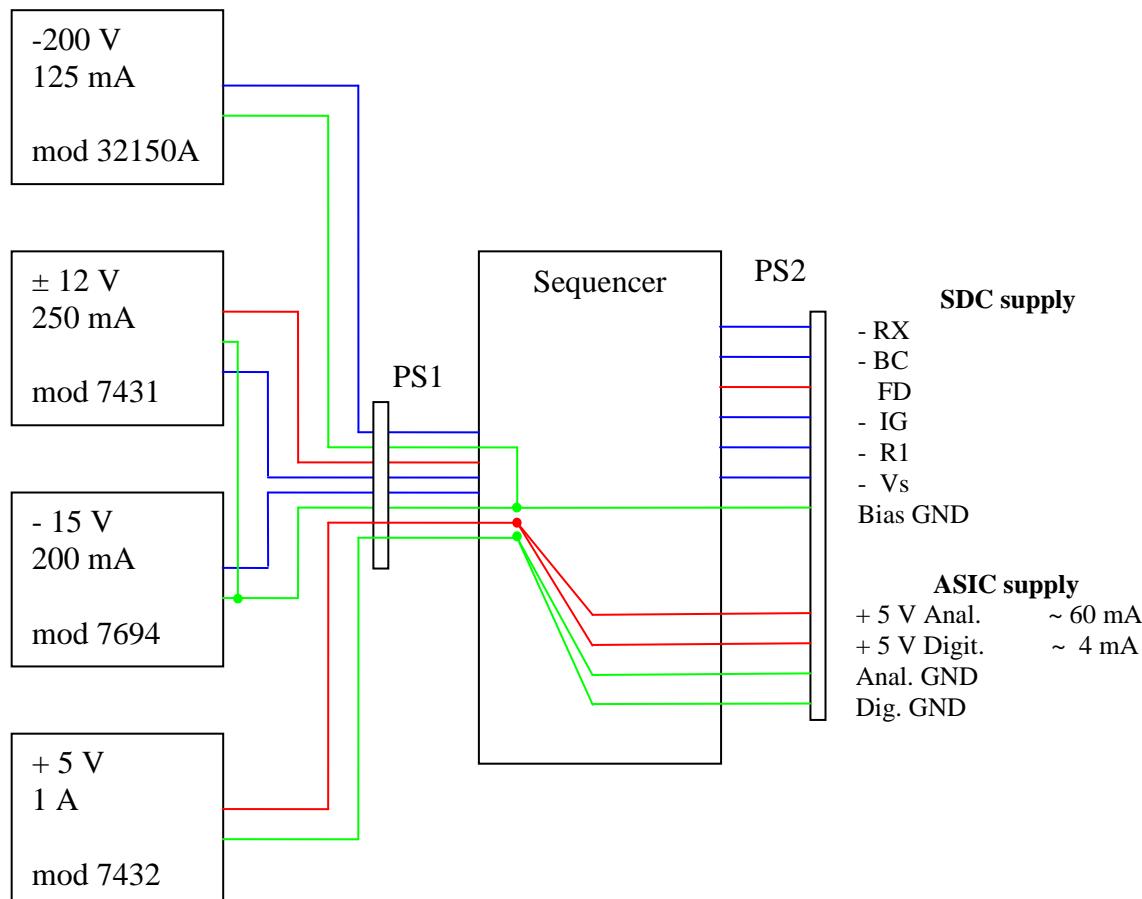


Figura 4 Schema del blocco Power Supplly, gli alimentatori forniscono le tensioni al rivelatore attraverso un sequenziatore che regola le diverse fasi di accensione-

3.1.1 Gli alimentatori

Gli alimentatori per le tensioni + 5V, \pm 12V e -15V sono tre sistemi lineari a trasformatore con primario a 220 V incapsulati in contenitori plastici e che possono essere montati su scheda.

I tre alimentatori sono del tipo 7432 (+5V), 7431 (\pm 12V) e 7694 (-15V). Le caratteristiche riportate dal produttore sono mostrate in Appendice B.

L'alimentatore per la polarizzazione delle SDC (-110V \div -120V) è un sistema lineare a trasformatore che può fornire fino a -200V. E' della famiglia Convel3200 tipo 32150A. Le caratteristiche riportate dal produttore sono mostrate in Appendice B.

Gli alimentatori sono collegati al sequencer con il connettore PS1 la cui pin function e' riportata in Appendice A.

3.1.2 Il sequencer delle tensioni SDC

Il sequencer ha le seguenti funzioni:

- A partire dai -140 V:
 - Generare la tensione R1 per il 1st Drift Ring delle SDC e la relativa regolazione
 - Generare la tensione BC per il Back Contact delle SDC e la relativa regolazione
 - Generare la tensione RX per il last Drift Ring delle SDC e la relativa regolazione
 - Generare la tensione IG per il Inner Gard Ring delle SDC e la relativa regolazione
- A partire dai \pm 12 V:
 - Generare la tensione Fd per i Drain dei FET delle SDC e la relativa regolazione
 - Generare la tensione -Vs per i Source dei FET delle SDC e la relativa regolazione
- A partire dai + 5 V
 - Generare la tensione di riferimento Analogica per gli ASIC della scheda rivelatore
 - Generare i + 5 V digitale e la relativa massa
 - Generare i + 5 V analogici e la relativa massa
- Trasferire i - 15 V alla scheda rivelatori
- Generare la sequenza di polarizzazione corretta per le SDC nell'ordine

- I	IG
- II	R1
- III	Vs
- IV	FD
- V	BC
- VI	RX

I + 5V ed i -15V sono sempre trasferiti alla Box2 senza passare dal sequencer

In Appendice C sono riportati i circuiti partitori, il circuito che genera la sequenza temporale di distribuzione delle tensioni e la disposizione dei componenti della scheda sequencer.

3.1.3 L'acquisition system

Il sistema di acquisizione è composto da:

- una scheda multifunzione di Input/Output National Instruments per di generazione delle sequenze di comando del sistema rivelatori e per la conversione analogico-digitale dei dati ,
- l'alimentatore della scheda
- un adapter che permette la gestione di diverse sequenze di comando invece della unica gestibile in modo pronto dalla scheda NI

3.1.3.1 LA SCHEDA NI

Si tratta di una scheda M-series USB6259 descritta dallo schema a blocchi di Figura 5 e con le seguenti caratteristiche principali

- 48 I/O Digitali
- 32 Input Analogici con conversione a 16 bit a 1.25 Msample/sec max
- 4 Output Analogici
- 2 Counter interni a 32 bit 80 MHz max
- 1 Generatore di frequenza

Le risorse della scheda utilizzate per questa applicazione sono:

- Il generatore di frequenza, posto a 20 kHz ed utilizzato per clockare la sequenza kill-pixel di comando degli ASIC
- I due contatori, utilizzati per clockare in uscita un numero finito di stati di comando durante le sequenze di acquisizione dagli ASIC (funzione di pattern generator)
- Qualche uscita digitale, utilizzate per fornire alcuni segnali di comando fissi (Offset_Calibration, Kill_pixel, sequenza di acquisizione, Reset ad inizio misura)
- Qualche ingresso digitale, utilizzato per raccogliere alcuni segnali dalla elettronica (Pixel_Address, ASIC_Address ed Event_Trigger)
- Un segnale uscita Analogico utilizzato per settare il valore di soglia nella elettronica
- Un segnale di input Analogico, utilizzato in modo differenziale per raccogliere i segnali da convertire delle elettronica

La scheda si connette alla elettronica attraverso due connettori la cui pin function e' riportata in Appendice A ed ad un PC via bus USB

Per rendere veloce l'acquisizione, alcuni dei segnali sono routed in modo HW tra i connettori della scheda secondo lo schema illustrato in Figura 5, in particolare Si noti che:

- PFI_14 (Frequency_Output) è usato per clockare HW il blocco digitale durante l'uscita della parola di Kill_PIX
- il segnale PO5 (Data_Accept) è anche usato per far partire l'input analogico, il campionamento dell'ADC è la linea PO12

3.1.3.2 SOLUZIONE DEI PROBLEMI DI INTERFACCIA TRA SCHEDA NI E PC

La scheda NI, una volta collegata via USB con un PC che ha installato Labview versione 8.6 o superiore, viene automaticamente rilevata dal PC ed è pronta per funzionare con il programma di acquisizione.

Se questo non accade è necessario seguire i seguenti step:

- Dal menù Start di Window, selezionare Eseguì
- Nell'icona scrivere “net stop mxssvr” ed Enter
- Al termine del programma scrivere “exit” per uscire dalla finestra dei comandi
- Entrare nella directory (che può essere hidden quindi scegliere l'opzione per poterla vedere:
C:\Documents and Settings\All Users\Dati applicazioni\National Instruments\MAX\Data
- Cancellare il file config3.mxs
- Fare il reboot del computer
- (Eventualmente lanciare il programma Measurement & Automation Explore (della suite National) e verificare che la scheda sia vista dal PC)
- Caricare normalmente Labview ed il programma di acquisizione

Gamma ray detector array con Silicon Drift Chamber

Int Rep 592/2011
Pag 13
Agosto 2010

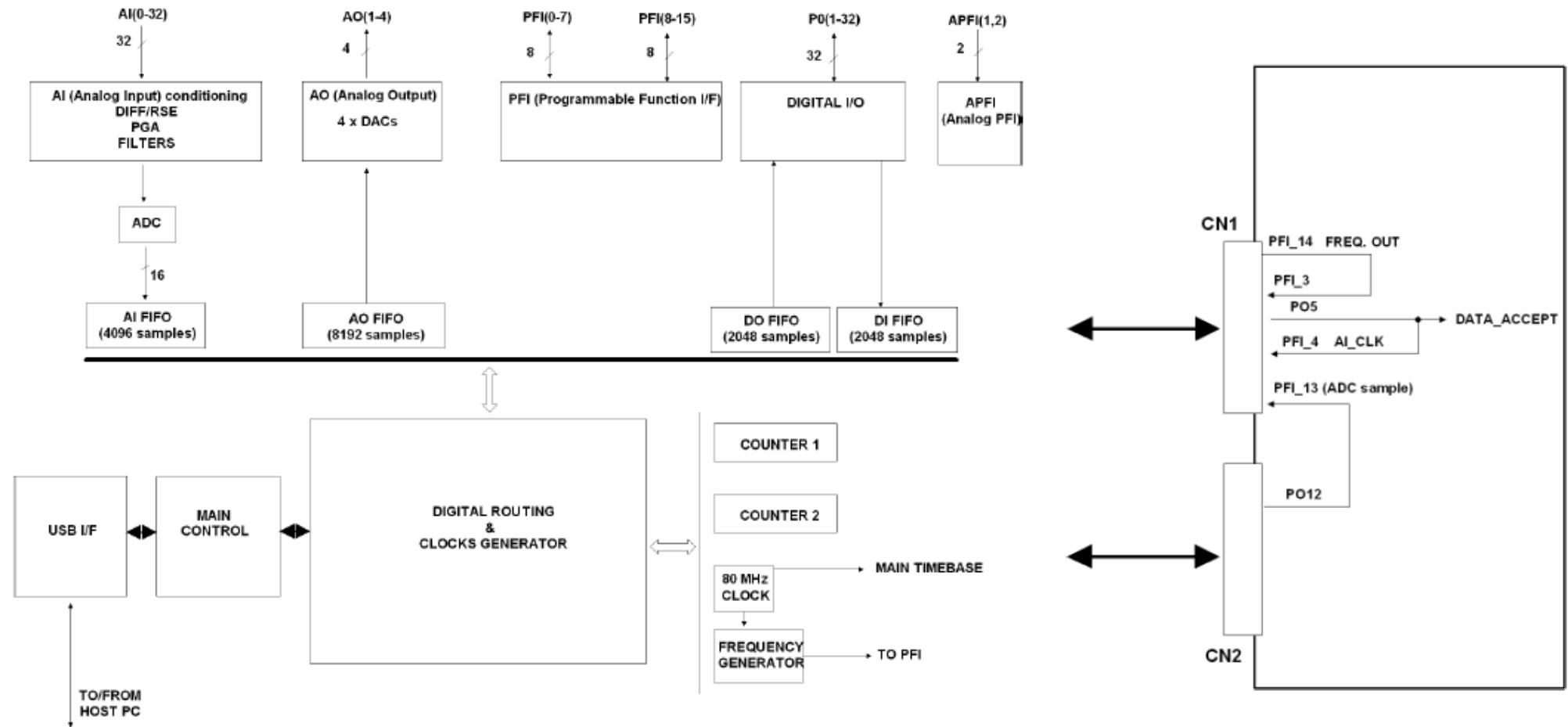


Figura 5 Schema a blocchi della scheda di acquisizione (a sinistra) e particolare dei segnali routed sui due connettori sulla scheda stessa (a destra)

3.1.3.3 L'ADATTATORE TRA SCHEMA NI ED ELETTRONICA

Tra la scheda NI di acquisizione ed la board HE con i rivelatori e l'elettronica è posto un adattatore che ha le seguenti funzioni:

- Modificare l'unica sequenza di acquisizione programmabile sulla scheda NI per una gestione veloce dei segnali in modo tale che possa gestire le diverse modalità di scambio dati degli ASIC montati sulla board HE (si veda anche il paragrafo 4.2).
- Modificare la gestione dei segnali di Reset della scheda NI in modo tale da gestire sulla board HE due diverse situazioni
 - L'inizio della misura
 - Il termine di uno scambio dati tra ASIC (board HE) e scheda NI

La sequenza dei segnali di I/O modificata da questo adattatore è riportato in Figura 6 da confrontare con la Figura 11 che illustra la normale sequenza di comando dei circuiti ASIC. Lo schema della scheda è riportato in Appendice D.

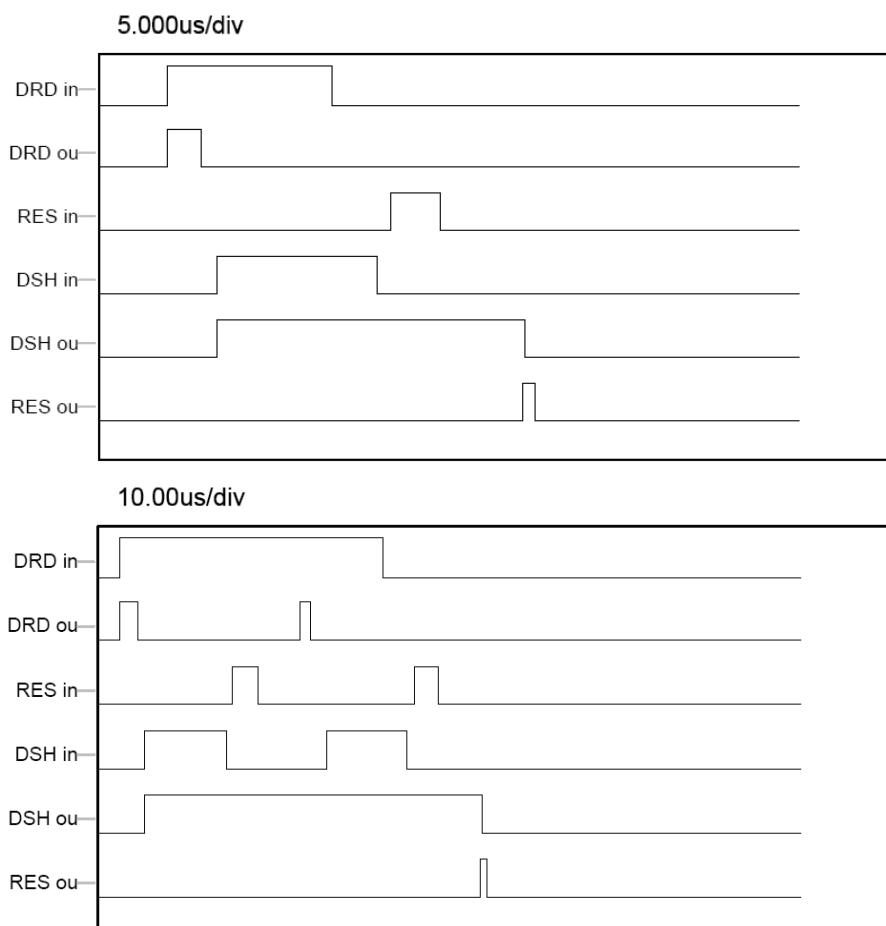


Figura 6 Sequenza di I/O modificata dall'adattatore per la scheda NI. In alto il caso di un solo evento registrato, in basso il caso di due eventi. La sequenza è da confrontare con dei segnali di I/F con l'ASIC



Gamma ray detector array con Silicon Drift Chamber

4 LA BOX2 DEI RIVELATORI

La box 2 contiene sostanzialmente la board HE. In Figura 7 si distinguono i suoi vari componenti che sono:

- a) i rivelatori costituiti da un massimo di 4 SDC array
- b) la elettronica di lettura dei segnali dei rivelatori costituita attorno agli ASIC ICARUS-SDC
- c) circuiteria per il condizionamento degli SDC array
- d) circuiteria per il condizionamento e l'interfaccia degli ASIC
- e) glue logic per la selezione degli ASIC
- f) I/F con la board di acquisizione
- g) Cavo di Power supply

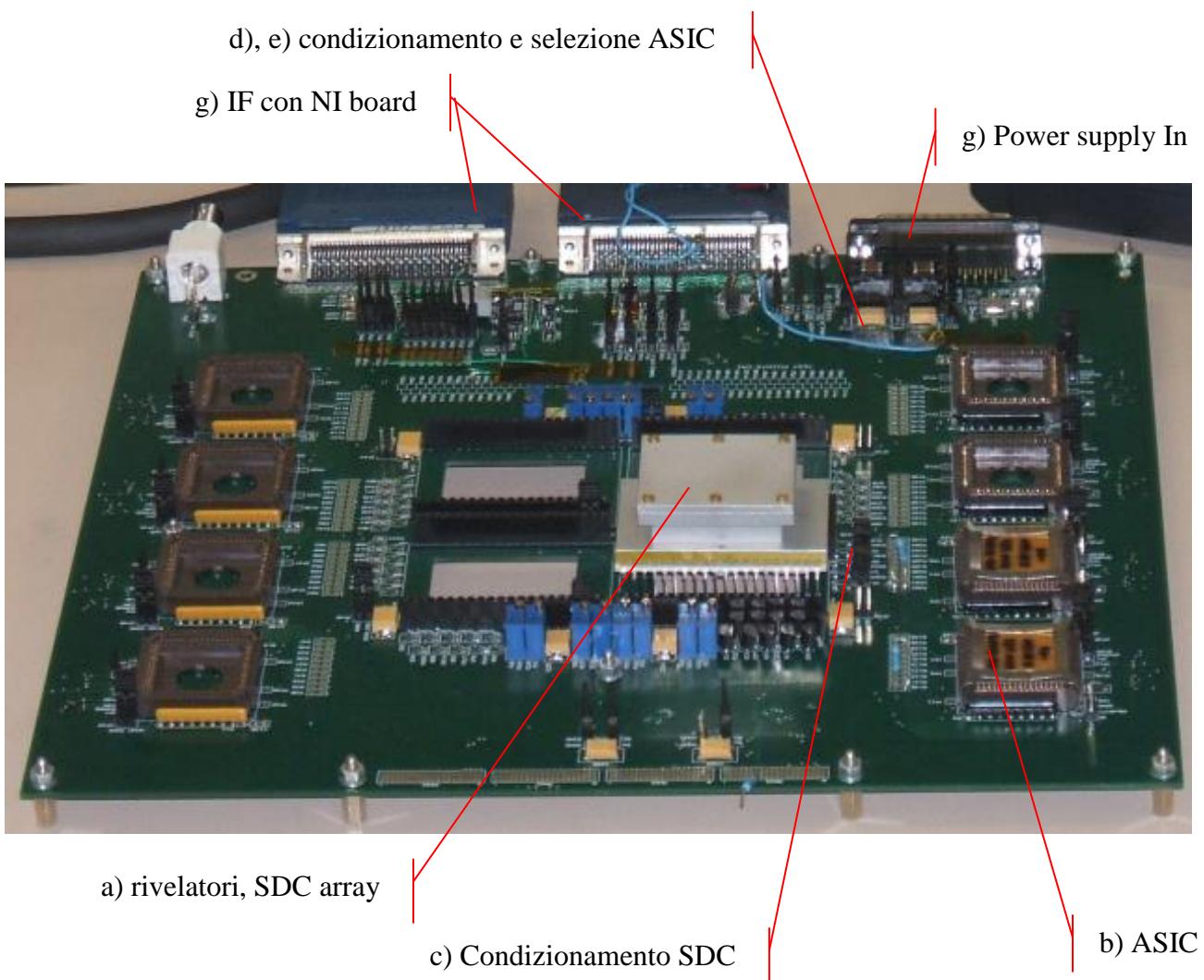


Figura 7 La scheda HE con rivelatori e front end elettronica basata su ASIC. In evidenza è uno degli array dei rivelatori e 2 ASIC che sono piazzati sulla scheda.

4.1 I RIVELATORI SDC ARRAY

I rivelatori, Figura 8, sono realizzati a partire dal chip MEGA che e' un array con 20 SDC ognuna di 5x5 mm in area. I chip sono montati su un charrier di allumina per formare un device da montare sulla HE board.

Sul lato superiore del modulo rivelatore è posto un array di 20 scintillatori individuali. La parte inferiore forata è adatta alla rivelazione diretta dei raggi X, in questo caso le SDC agiscono come rivelatori a stato solido. La parte di cristallo è adatta alla rivelazione di radiazione più energetica; in questo caso le SDC agiscono come fotodiodi per la lettura della luce di scintillazione

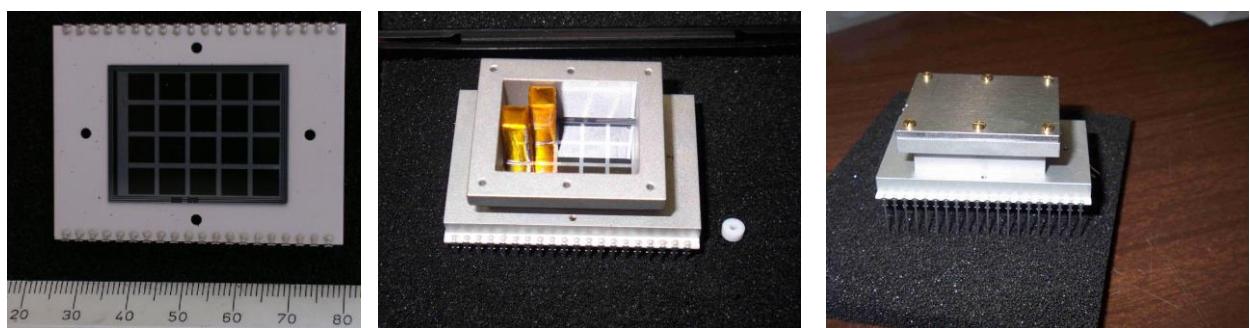


Figura 8 Rivelatore del sistema basati su un array di 20 SDC montati su carrier di Alumina (a sinistra). Su questo device è montato un frame in Al che alloggia cristalli scintillatori con la stessa sezione dei PD (al centro). A destra è mostrato il device completo con la chiusura superiore. Sul lato inferiore del device, il carrier di Alumina è forato come illustrato nel testo.

I dettagli del chip sono illustrati in Appendice E dove sono riportati:

- Il disegno quotato del montaggio del chip sul carrier di allumina
- Il disegno del chip MEGA front e back
- Il dettaglio e le dimensioni dei bond pad
- La pin assignment del chip MEGA con le tensioni e correnti di utilizzo
- La pin function del device SDC quando il chip MEGA è montato sul carrier di Alumina
- Il disegno con l'esploso del montaggio device, degli scintillatori e del frame
- Il disegno con i dettagli meccanici del frame

L'attrezzatura usata per il montaggio degli scintillatori e la sequenza impiegata sono illustrati in Appendice F ed in Appendice G.

4.1.1 Il device di test

Per prove preliminari e semplificate del sistema, si è montata su una board avente la stessa pinatura del SDC carrier, una SDC individuale, che richiede una polarizzazione simile a quella della SDC dell'array MEGA ed ha lo stesso tipo di uscita elettrica (Figura 9).

L'unica SDC si trova sul canale 4d dell'array

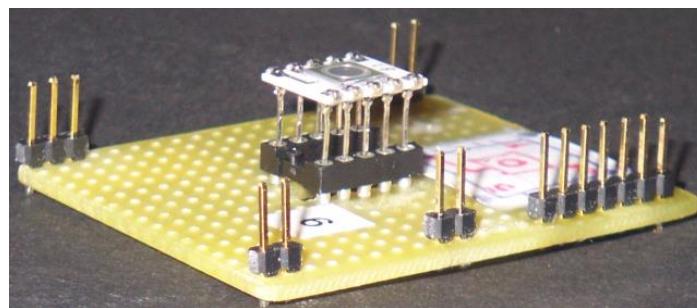


Figura 9 Device di test con una sola SDC da montare per le prove al posto dell'array

Le caratteristiche del device di test con realtive pin function sono mostrate in Appendice H.

4.2 L'ELETTRONICA DI LETTURA DEI SEGNALI: L'ICARUS-SDC ASIC

L' ICARUS_SDC ASIC è un device analogico-digitale, per il read out del segnale dei rivelatori/fotodiodi . L'ASIC puo' gestire 16 PD da rivelatori indipendenti ed è ottimizzato per l'uso con SDC. Figura 10 mostra il diagramma funzionale dell'ASIC che contiene 2x8 catene di processamento del segnale ognuna composta da:

- Charge preamplifier (con JFET montato esternamente sulla SDC)
- Shaping amplifier (8 canali con 0.5 μ sec shaping time, 8 canali con 3 μ sec shaping time)
- Peak detector & Hold stage
- Amplitude discriminator (trigger)

Inoltre l'ASIC contiene un multiplexer analogico a 16 canali di ingresso per il sorting del segnale di uscita (selezionabile in modalità sparse readout o tutti I canali), la logica di trigger e di read-out

Quando un impulso è rilevato, come mostrato in Figura 11 sono disponibile alle uscite dell'ASIC i seguenti dati:

- Le ampiezze degli impulsi al pin ANALOG OUTPUT
- Il time marking dell'evento al pin DATA_READY
- L'indirizzo del pixel in uscita ai pin PIXEL_ADDRESS(0,3)

Nel modo di lettura sparse readout i canali che non hanno un segnale valido (e che non hanno un trigger) sono ignorati.

Canali che triggerano in coincidenza con il segnale di VETO sono ignorati.

Le caratteristiche dell'ICARUS-ASIC e la pin function sono riportati in Appendice I.



Gamma ray detector array con Silicon Drift Chamber

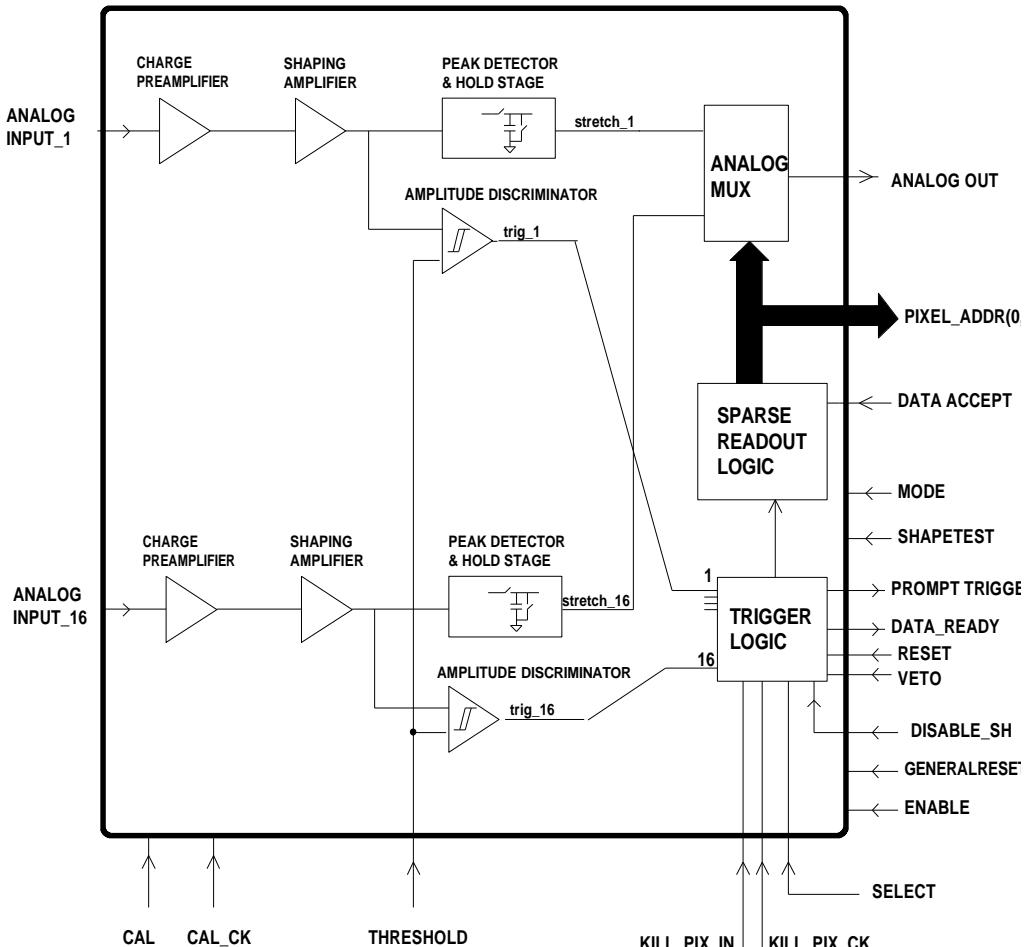


Figura 10 Diagramma funzionale dell'ICARUS-SDC ASIC

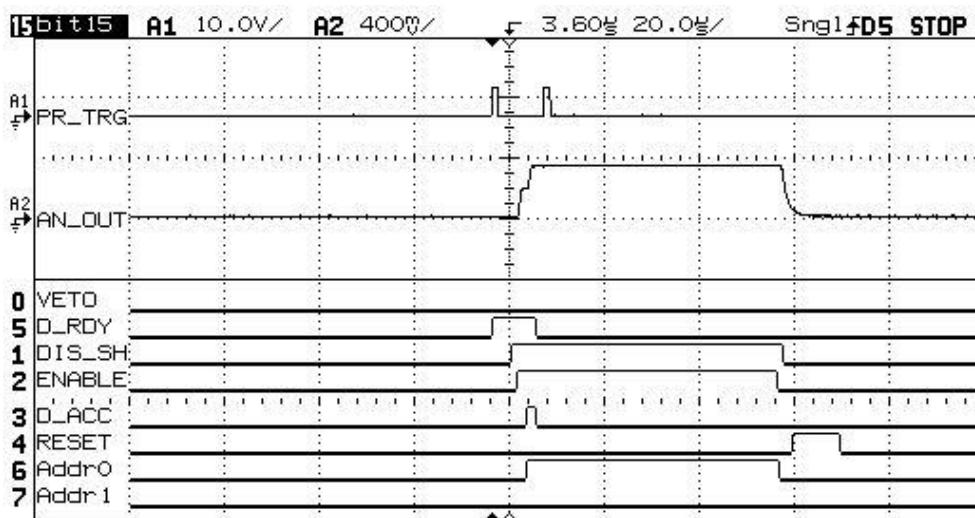


Figura 11 Sequenza di readout di un canale dell'ASIC (solo 2 dei 4 bit di indirizzo sono mostrati)

4.3 LA DISTRIBUZIONE DI RIVELATORI ED ASIC SULLA SCHEMA DI ELETTRONICA

I rivelatori sono collegati agli ASIC nella scheda HE (Figura 7) dove vengono anche distribuite le tensioni ed i segnali di controllo dei vari componenti.

La disposizione dei componenti sulla scheda e' mostrato in Figura 12. Si notano:

- 4 rivelatori per un totale di 80 canali.
- I generatori di corrente per i JFET sui rivelatori (a fianco di questi)
- Le trimmer per la regolazione delle tensioni di condizionamento dei rivelatori.
- 8 ASICs per un totale di 64x2 canali, descritti nel paragrafo
- I circuiti di filtro delle tensioni di alimentazione degli ASIC
- Le mating network per la connessione tre ASIC e rivelatori. Questa rete è stata inserita poiché si hanno a disposizione 80 canali di rivelazione e solo 64 canali di lettura lento e 64 canali di lettura veloce.

Un rivelatore può essere collegato ad un canale di lettura lento AND/OR ad un canale di lettura veloce. Poiché non ci sono abbastanza canali di lettura per tutti i rivelatori la mating network permette, per alcuni canali di lettura, la connessione ad un paio di rivelatori secondo gli schemi riportati in Appendice J. Uno solo dei rivelatori possibili dovrà essere collegato ad un canale di lettura.

In Figura 13 si vede la corrispondenza tra i canali di rivelazione ed i canali di lettura degli ASIC. Quando un canale rivelatore condivide con un diverso canale rivelatore la possibilità di essere collegato allo stesso canale di lettura di un ASIC, questo ultimo è indicato in rosso.

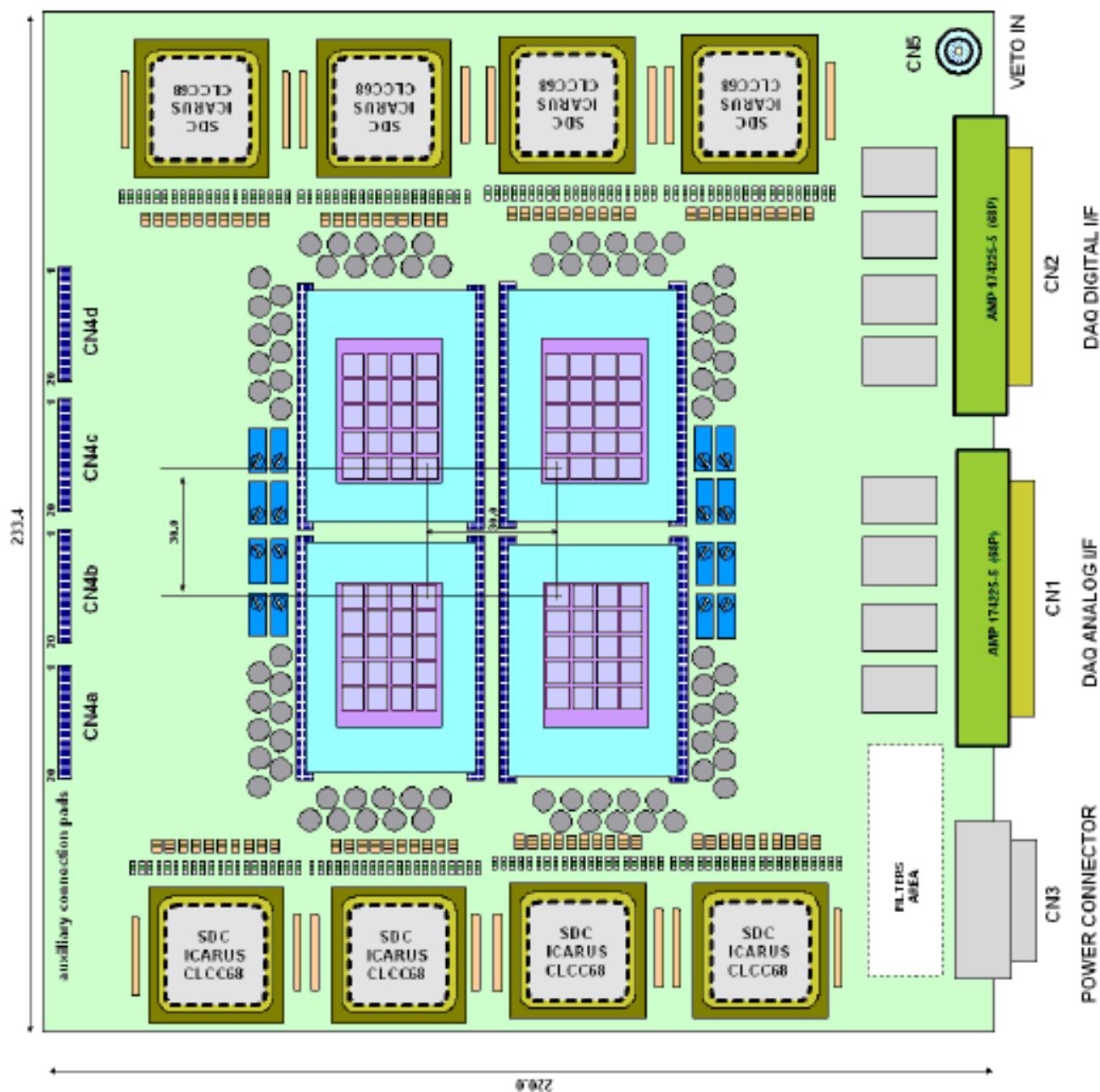
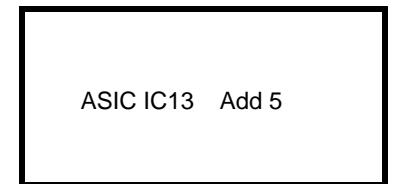
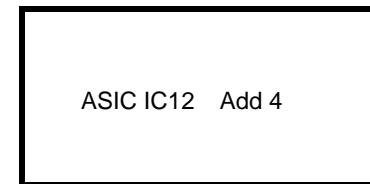
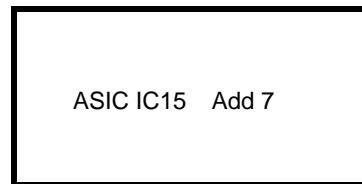
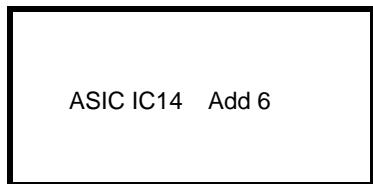


Figura 12 Disposizione dei componenti (Rivelatori, ASIC, glue logic etc) sulla scheda da front-end.

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
Pag 21
Agosto 2010



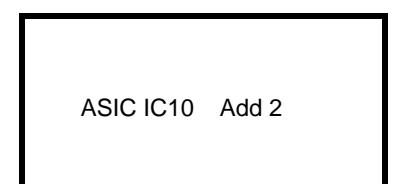
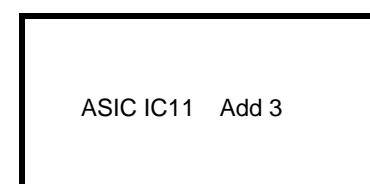
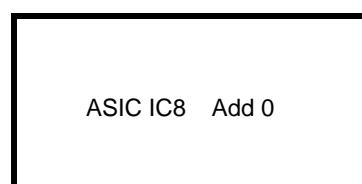
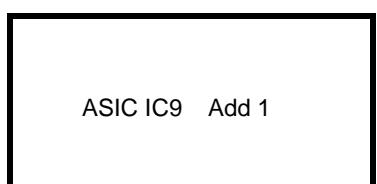
Rivelatore HY4

	A	B	C	D
1	IC14 1s -9f	IC14 6s -14f	IC15 6s -14f	IC15 1s -9f
2	IC14 2s -10f	IC14 A7s -15f	IC15 5s -13f	IC15 0s -8f
3	IC14 0s -8f	IC14 5s -13f	IC15 7s -15f	IC15 2s -10f
4	IC14 3s -11f	IC14 A7s -15f	IC15 4s -12f	IC15 0s -8f
5	IC14 0s -8f	IC14 4s -12f	IC15 7s -15f	IC15 3s -11f

5	IC9 4s -12f	IC9 0s -8f	IC8 3s -11f	IC8 7s -15f
4	IC9 7s -15f	IC9 3s -11f	IC8 0s -8f	IC8 4s -12f
3	IC9 5s -13f	IC9 0s -8f	IC8 2s -10f	IC8 7s -15f
2	IC9 7s -15f	IC9 2s -10f	IC8 0s -8f	IC8 5s -13f
1	IC9 6s -14f	IC9 1s -9f	IC8 1s -9f	IC8 6s -14f

D C B A

Rivelatore HY1



Rivelatore HY3

	A	B	C	D
1	IC12 6s -14f	IC12 1s -9f	IC13 1s -9f	IC13 6s -14f
2	IC12 5s -13f	IC12 0s -8f	IC13 2s -10f	IC13 7s -15f
3	IC12 7s -15f	IC12 2s -10f	IC13 0s -8f	IC13 5s -13f
4	IC12 4s -12f	IC12 0s -8f	IC13 3s -11f	IC13 7s -15f
5	IC12 7s -15f	IC12 3s -11f	IC13 0s -8f	IC13 4s -12f

5	IC11 3s -11f	IC11 7s -15f	IC10 4s -12f	IC10 0s -8f
4	IC11 0s -8f	IC11 4s -12f	IC10 A7s -15f	IC10 3s -11f
3	IC11 2s -10f	IC11 7s -15f	IC10 5s -13f	IC10 0s -8f
2	IC11 0s -8f	IC11 5s -13f	IC10 A7s -15f	IC10 2s -10f
1	IC11 1s -9f	IC11 6s -14f	IC10 6s -14f	IC10 1s -9f

Rivelatore HY2

Figura 13 Disposizione di rivelatori ed ASIC e relazione tra id di un rivelatore e canale dell'ASIC Quando un canale rivelatore condivide con un diverso canale rivelatore la possibilità di essere collegato allo stesso canale di lettura di un ASIC, questo ultimo è indicato in rosso.

5 SOFTWARE DI PILOTAGGIO E CONTROLLO DELLA CATENA DI ACQUISIZIONE DATI.

5.1 OPERAZIONI PRELIMINARI

Prima di procedere all'acquisizione dei dati è necessario eseguire le opportune operazioni preliminari.

- In primo luogo è necessario collegare tutti gli strumenti, compresa la porta USB al PC;
- Accendere il PC e avviare LabView;
- Fornire l'alimentazione principale (220 V) alla Box 1 (interruore sul pannello posteriore);
- Avviare l'inizializzatore della tensione dei rivelatori e degli ASIC attraverso l'opportuno switch (sequenza) sul pannello frontale della Box 1:



Figura 14 Switch di comando sequenza di accensione rivelatori

- si vedranno accendere in sequenza dei led rossi. Una volta accesi tutti (richiede pochi secondi), la strumentazione è pronta per l'acquisizione.

È ora necessario impostare i software di acquisizione.

5.2 SOFTWARE DI CONTROLLO DELLA CATENA DI ACQUISIZIONE

Per impostare e controllare la catena di readout vengono utilizzati due programmi sviluppati in ambiente LabView: “SETUP_CORE” e “ACQ_CORE”.

5.2.1 UTILIZZO DEL SOFTWARE “SETUP_CORE”

Prima di procedere con l’acquisizione dei dati è necessario impostare la catena di acquisizione. Per fare questo si dovranno impostare diversi parametri, quali la soglia di acquisizione, quale ASIC utilizzare, quale porzione di rivelatore utilizzare e la modalità di acquisizione.

Per prima cosa si sceglie un valore di soglia nel front panel di SETUP_CORE. Per fare ciò si agisce sull’apposito selettore (threshold set) e si imposta un valore compreso tra 0 e 5 Volt.

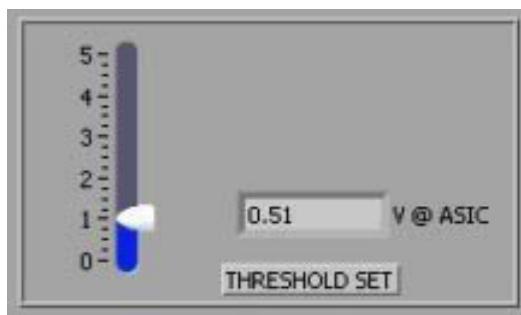


Figura 15 Comando per il Threshold Setting

Per evitare un overflow di dati, mandando in crush il programma, si consiglia di partire da valori di soglia elevati e man mano scendere, a seconda del numero di conteggi rivelati o necessità dell’utente.

Per ciascun ASIC montato sulla scheda di readout SCH è possibile scegliere quali dei canali siano attivi o inibiti. Per fare questo in primo luogo viene attivato l’apposito switch di controllo:



Figura 16 Comando Selezione PIXEL Selezionare Attivo.



Gamma ray detector array con Silicon Drift Chamber

Dopodiché, attraverso l'uso di una manopola viene scelto uno degli otto ASIC desiderato.



Figura 17 Comando di selezione dell'ASIC.

È possibile poi selezionare quali canali attivare di ogni chip attraverso una serie di pulsanti:

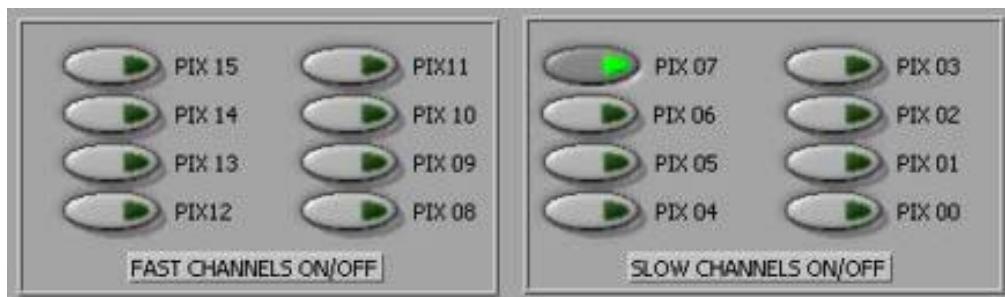


Figura 18 Comandi di selezione dei canali attivi di ciascun ASIC.

I canali attivi hanno un led verde acceso.

Per rendere attive tali modifiche e caricare la parola KILL_PIX nell'ASIC selezionato, è necessario



avviare il programma tramite il pulsante posto nell'angolo in alto a sinistra del front panel di SETUP_CORE.

È possibile modificare un solo ASIC alla volta, perciò è necessario ripetere la procedura appena descritta selezionando ciascuno degli ASIC presenti sulla scheda di acquisizione attraverso l'apposito selettore.

È necessario poi impostare lo switch KILLPIX ACTIVE/IDLE nella posizione **IDLE**.

Infine è possibile attivare l'OFFSET CALIBRATION PROCEDURE premendo il pulsante ARM:



Figura 19 Comando di calibrazione offset Premere per attivare la procedura di calibrazione dell'offset.



Per eseguire tale procedura bisogna attivare la routine attraverso il pulsante .

5.2.2 UTILIZZO DEL PROGRAMMA “ACQ_CORE”

È ora possibile cominciare l’operazione di acquisizione tramite il programma ACQ_CORE. Vi sono due modalità operative, selezionabili attraverso un apposito switch:

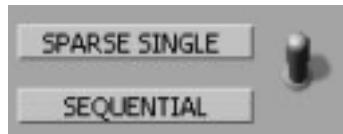


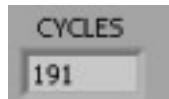
Figura 20 Switch di selezione modalità di lettura degli ASIC sparse (legge solo i canali che hanno triggerato) o sequential (qualunque canale triggeri la lettura è su tutti i canali)

- SPARSE SINGLE: viene letto un solo canale per ogni EVENT_TRIGGER generato, utile per acquisire con un singolo pixel o per bassi rate di acquisizione con l’ASIC settato per sparse-readout (relativo jumper sulla scheda SCH smontato);
- SEQUENZIALE: vengono letti tutti i canali (32 nella presente implementazione), da usare con l’ASIC settato per il readout sequenziale (relativo jumper sulla scheda SCH montato).

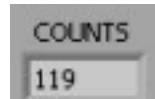


L’acquisizione comincia premendo il pulsante  nel front panel di ACQ_CORE.

A questo punto il contatore “CYCLE” comincia a contare, indicando l’attuale ciclo di acquisizione:



Tuttavia l’acquisizione non parte finché non viene premuto il pulsante ACQ RESET (HW): fatto questo comincia anche il conteggio di “COUNTS”



Se il rate di eventi risulta essere troppo elevato è necessario innalzare la soglia (attraverso il threshold setup) descritto precedentemente, altrimenti si incorre nel rischio di riempire il DAQ FIFO mandando in crush l’applicazione.

A questo punto se tutto è impostato correttamente, la catena di acquisizione procede e l’utente può monitorare il numero totale di EVENT_TRIGGER processati attraverso il contatore COUNTS.

È disponibile inoltre un display a led per indicare l’attuale ASIC processato e il relativo indirizzo del canale. Questo è utile per verificare la presenza di eventuali malfunzionamenti sui diversi canali.



Figura 21 Display dell’indirizzo dell’ASIC e del pixel che ha triggerato

Per ragioni “storiche”, la lettura di questi pixel avviene in un modo non convenzionale:

PIX_ADDR: LSB, X, X, MSB light = 1 (# 7 nell'esempio precedente)

ASIC_ID: MSB, X, LSB light = 0 (# 6 nell'esempio precedente)

Una volta ottenuti i conteggi desiderati, per terminare la catena di acquisizione è necessario premere in sequenza i pulsanti ACQ_STOP e END. Il SW salverà poi i dati su un file di testo (fixed path/name C:\data.txt in questa versione).



Figura 22 Pulsanti di fine acquisizione

Appendice A Pin function connettori

I connettori del sistema descritti in questa appendice sono:

- Il connettore PS1 all'interno della BOX1 che collega gli alimentatori all'input della scheda sequencer (Tabella 1, Figura 23)
- Il connettore PS2 che fornisce le alimentazioni alla front end elettronica e collega l'uscita del sequencer all'ingresso del front-end (Tabella 2, Figura 24)
- I connettori di I/O dati della scheda di front end che collega questa con la NI acquisition board (Tabella 3, Figura 25)

Il connettore PS1 e' interno alla BOX1 e connette gli alimentatori ed il sequencer:

Pin	V	Nota
1	- 140	
2	+ 5	
3	- 14	
4	- 12	
5	+ 12	
6	GND (Ret -140)	collegato agli altri GND nel sequencer
7	GND (Ret ± 12 , -14)	collegato agli altri GND nel sequencer
8	GND (Ret +5)	collegato agli altri GND nel sequencer
9		Telaio

Tabella 1 Pin function connettore di ingresso al sequencer

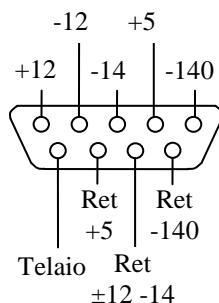


Figura 23 Pin function connettore di ingresso al sequencer

Gamma ray detector array con Silicon Drift Chamber

Il connettore PS2 collega l'uscita dal sequencer della BOX1 con l'ingresso delle alimentazioni delle BOX2.

J2	Nota	J2	Nota
1	- RX (-120 V typ)	14	Nc
2	- BC (-85 V typ)	15	Nc
3	FD (+ 10 V typ)	16	Nc
4	- IG (-15 V typ)	17	Nc
5	- R1 (-15 to -11 typ)	18	Nc
6	Bias GND	19	Nc
7	Bias GND	20	Nc
8	Dig GND	21	Nc
9	Dig GND	22	Nc
10	+5 V	23	Nc
11	Anal GND	24	Nc
12	Nc	25	VS (-10 V typ)
13	+5 V		

Tabella 2 Pin function del connettore di ingresso delle alimentazioni del front end

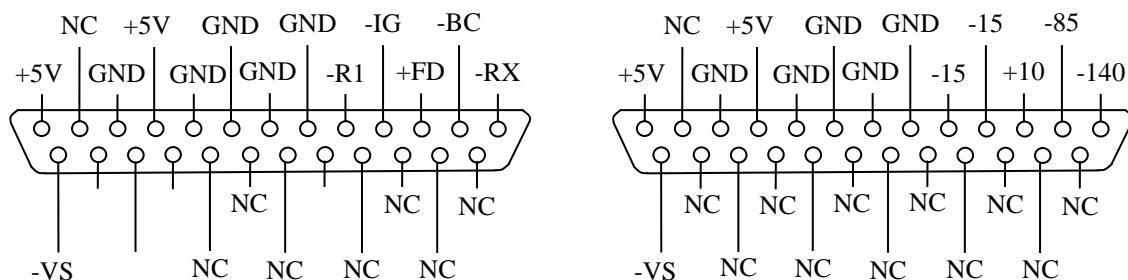


Figura 24 Pin function del connettore PS2 che collega l'uscita dal sequencer della BOX1 con l'ingresso delle alimentazioni delle BOX2. Le varie tensioni rappresentate nel connettore J2 illustrato a destra hanno una corrispondenza con le varie funzione delle SDC (illustrate sul connettore rappresentato a sinistra) ed accese in cascata dal sequencer



Gamma ray detector array con Silicon Drift Chamber

La scheda di front end è collegata alla scheda di acquisizione NI, attraverso un l'adattatore, con due cavi.

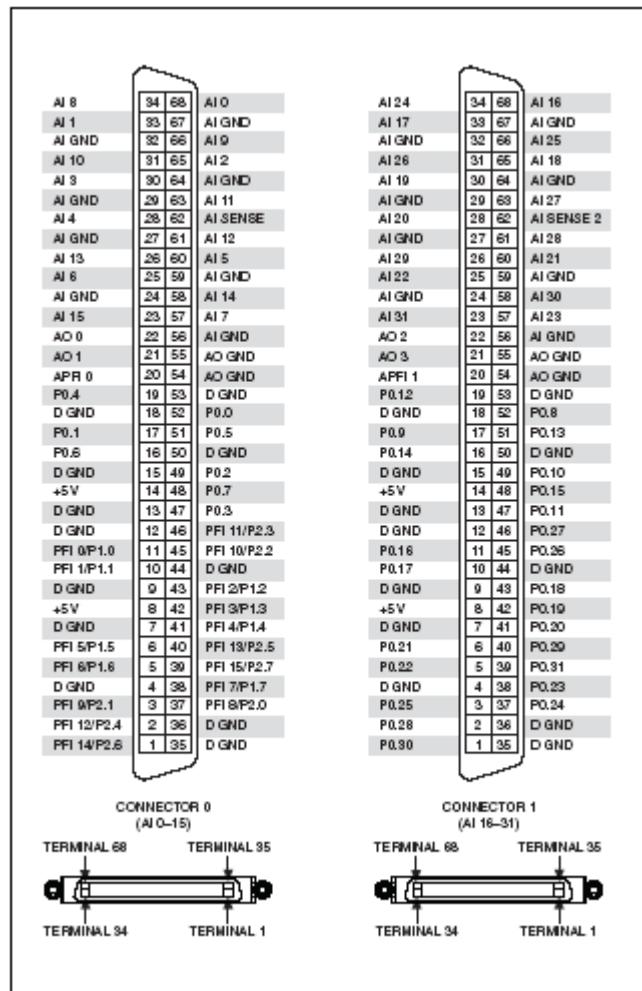


Figura 25 Pinout dei due connettori della scheda NI USB-6259. La corrispondenza con i segnali della box2 è riportata nella tabella seguente.

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
Pag 30
Agosto 2010

Pin	Signal	Notes	Pin	Signal	Notes
1	RESERVED	PFI_14 (freq. out)	35	DIG_GND	
2			36	DIG_GND	
3			37		
4	DIG_GND		38		
5			39		
6			40	RESERVED	PFI_13 (adc sample)
7	DIG_GND		41	RESERVED	PFI_4 (AI clock)
8			42	RESERVED	PFI_3 (service clock)
9	DIG_GND		43		
10			44	DIG_GND	
11	Event_trigger	PFI_0	45		
12	DIG_GND		46		
13	DIG_GND		47	Disable_SH	P03
14	DIG_GND		48	EN_delayed	P0_7
15			49	ASIC_Enable_2	P0_2
16	ACQ_Reset	P0_6	50	DIG_GND	
17	ASIC_Enable_1	P0_1	51	Data_accept	P0_5
18	DIG_GND		52	ASIC_Enable_0	P0_0
19			53	DIG_GND	
20			54		
21			55		
22	Threshold	AO_0	56	ANALOG_GND	
23			57		
24	ANALOG_GND		58		
25			59	ANALOG_GND	
26			60		
27	ANALOG_GND		61		
28			62		
29	ANALOG_GND		63		
30			64	ANALOG_GND	
31			65		
32	ANALOG_GND		66		
33			67	ANALOG_GND	
34	Vref AI_8		68	Analog_out	AI_0

Tabella 3 descrizione segnali di I/O tra scheda di acquisizione NI e front end elettronica

Pin	Signal	Notes	Pin	Signal	Notes
1	Enable_Select	P0_30	35	DIG_GND	
2			36	DIG_GND	
3	Reg_test_out	P0_25	37	Reg_test_ck	P0_24
4	DIG_GND		38	Gen_reset	P0_23
5	Off_cal_ck	P0_22	39		
6	Off_Cal_start	P0_21	40		
7	DIG_GND		41	Kill_pix	P0_20
8			42	Kill_pix_ck	P0_19
9	DIG_GND		43	Select_2	P0_18
10	Select_1	P0_17	44	DIG_GND	
11	Select_0	P0_16	45	Reg_test_in	P0_26
12	DIG_GND		46		
13	DIG_GND		47	Pixel_addr_3	P0_11
14	DIG_GND		48		
15			49	Pixel_addr_2	P0_10
16			50	DIG_GND	
17	Pixel_addr_1	P0_9	51		
18	DIG_GND		52	Pixel_addr_0	P0_8
19	RESERVED	P0_12	53	DIG_GND	
20			54		
21			55		
22			56	ANALOG_GND	
23			57		
24	ANALOG_GND		58		
25			59	ANALOG_GND	
26			60		
27	ANALOG_GND		61		
28			62		
29	ANALOG_GND		63		
30			64	ANALOG_GND	
31			65		
32	ANALOG_GND		66		
33			67	ANALOG_GND	
34			68		

Appendice B Caratteristiche alimentatori

Gli alimentatori utilizzati sono:

- Tipo 7432 (+5V), 7431 (\pm 12V) e 7694 (-15V). (Figura 26)
- Tipo 32150A (fino a -220V) per la polarizzazione delle SDC (Figura 27, Figura 28)

**5 W Precision Regulated Encapsulated P.S.U.'s.
Single and Dual Output.**

Eurocard Mountable (see below for details)

Model C507 + 3.3V 1.0A 115V	Model C506 + 3.3V 1.0A 230V	Model 7431 +/- 12V 0.25A 230V
Model 8298 + 5V 1.0A 115V	Model 7432 + 5V 1.0A 230V	Model 8299 +/- 12V 0.25A 115V

These high quality, rugged PCB mounting encapsulated power supplies are available with single or dual output options housed in a black ABS case. These industry standard units are designed to power op-amps and logic circuitry etc. The 5V single output version also features overvoltage crowbar protection.

A Eurocard with DIN 41612 connector capable of holding two supplies and a PCB with screw terminals holding one supply are available for convenient rack and chassis mounting.

Protection

Short circuit protected

Thermal protection

Current limit (current foldback)

Over voltage protection (5V models only)

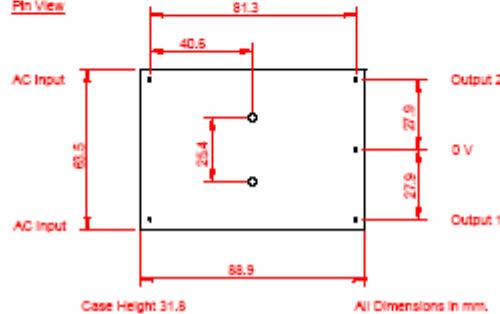
Safety

The units are designed to meet EN60950 and are isolation tested at 3.75KV rms between input and output.

Technical Specification

	C506	C507	7432	8298	7431	8299	7694	8300
Input								
Voltage (nom) :-	230V a.c. (210-250)	115V a.c. (105-125)	230V a.c. (210-250)	115V a.c. (105-125)	230V a.c. (210-250)	115V a.c. (105-125)	230V a.c. (210-250)	115V a.c. (105-125)
Frequency :-								
Power (max) :-								
Output 1								
Voltage :-	+ 3.3 V	+ 3.3 V	+ 5.0 V	+ 5.0 V	+ 12.0 V	+ 12.0 V	+ 15.0 V	+ 15.0 V
Current :-	1.0 A	1.0 A	1.0 A	1.0 A	0.25 A	0.25 A	0.20 A	0.20 A
Output 2								
Voltage :-	N/A	N/A	N/A	N/A	-12.0 V	-12.0 V	-15.0 V	-15.0 V
Current :-	N/A	N/A	N/A	N/A	0.25 A	0.25 A	0.20 A	0.20 A
Output Voltage Tolerance :-					< +/- 2% All Models			
Load Regulation:-				0.05% (3.3 and 5V Models)			0.1% (12 and 15V Models)	
Line Regulation:-				0.05% (3.3 and 5V Models)			0.1% (12 and 15V Models)	
Ripple :-					< 1mV rms All Models			

Operating Temp:- 0 to 40°C ambient (de-rate output current linearly to 20% at 70°C) All Models
Weight :- 0.5Kg All Models



Computronic Controls Ltd, 41-46 Railway Terrace, Nechells, Birmingham, UK Tel: +44 (0)121 327 8500 Fax: +44 (0)121 327 8501 EPQU-5W Issue1

Figura 26 Caratteristiche alimentatori di bassa tensione



Gamma ray detector array con Silicon Drift Chamber

Convel 32000 Series Open Frame AC/DC Regulated Linear Power Supplies

These high quality linear regulated power supplies provide outstanding value and are designed for ease of application and long trouble free life.

- ◆ Universal AC input 100 - 240VAC
- ◆ 3.75kV Isolation safety transformer
- ◆ 2 year warranty
- ◆ Quality UK design and manufacture
- ◆ International industry standard sizes
- ◆ Overload protection on all units
- ◆ Safety earth tag



GENERAL SPECIFICATIONS

A.C. Input	100/120/220/240VAC +10%, -12%, 47 to 440Hz
D.C. Output	See Voltage/Current Rating Chart. Adjustment range ±5% minimum.
Line Regulation	±0.05% for a 10% line change.
Load Regulation	±0.05% for a 50% load change.
Output Ripple	2V to 15V units: 5.0mV PK-PK maximum 20V to 28V units: 0.02% PK-PK maximum 50 microseconds for a 50% load change
Transient Response	
Short Circuit and	
Overload Protection	Automatic current limit/foldback
Overvoltage Protection	Built-in on all 5V outputs. Set at 6.2V ±0.4V Other models use optional overvoltage protection.
Remote Sensing	See Option 4 overleaf
Stability	Provided on most models, open sense load protection built in.
Temperature Rating	±0.3% for 24 hour period after 1 hour warm-up Standard Range: 0°C to +50°C full-rated, derated linearly to 40% at 70°C Extended Range: -40°C to +50°C full-rated, derated linearly to 40% at 70°C
TEMPERATURE DERATING CURVE	
Temperature Coefficient	±0.03%/°C maximum
Efficiency (typical)	5V unit: 45%; 12V and 15V units: 55%; 24V units: 60%
Isolation	Input to ground: 3750VAC min. Input to output(s): 3750VAC min. Output to ground: 500VAC min. Leakage current (live to ground): 5µA max.

Calex Electronics Limited

PO Box 2, Leighton Buzzard
Bedfordshire, England LU7 4AZ
Tel: +44 (0)1525 373178/853800
Fax: +44 (0)1525 851319
Lo-call Tel: 0845 3108053
E-mail: info@calex.co.uk
Online: <http://www.calex.co.uk>

Figura 27 Descrizione alimentatore alta tensione per la polarizzazione delle SDC

Gamma ray detector array con Silicon Drift Chamber

SINGLE OUTPUT MODELS

Model	Output Voltage Volts	Output Current Amps	Case
32005A	5	3.0	A
32005B	5	6.0	B
32005C	5	9.0	C
32005D	5	12.0	D
32005E	5	18.0	E
32012A	12 to 15	1.7	A
32012B	12 to 15	3.4	B
32012C	12 to 15	5.1	C
32012D	12 to 15	6.8	D
32012E	12 to 15	10.2	E
32024A	24 to 28	1.2	A
32024B	24 to 28	2.4	B
32024C	24 to 28	3.6	C
32024D	24 to 28	4.8	D
32024E	24 to 28	7.2	E
32024E/10	24 to 28	10.0	E
32048A*	48	0.5	A
32048B*	48	1.0	B
32048D*	48	2.0	D
32150A	120 to 200	0.150**	A

* No remote sensing

** Output current from 180 to 200V falls linearly from 150mA to 125mA

DUAL OUTPUT MODELS

Model	Output 1		Output 2		Case
	Voltage Volts	Current Amps	Voltage Volt	Current Amps	
32205A*	5	1.5	-5	1.5	AA
32212A	12 to 15	1.0	-12 to -15	1.0	AA
32212B	12 to 15	1.7	-12 to -15	1.7	BB
32212C	12 to 15	3.4	-12 to -15	3.4	CC
32212D	12 to 15	5.0	-12 to -15	5.0	E

OVP Selection Chart

	Case	OVP Model Required
Single Output	A/B/C/D	32901A
	E	32901B
Dual Output	A/A/BB/CC	32901A, protects both outputs
	E	32901B, protects both outputs
Triple Output	AA/AAA/D	32901A, protects dual outputs
	BBB/131	OVP built-in on 5V outputs

TRIPLE OUTPUT MODELS

Model	Output 1		Output 2		Output 3		Case
	Voltage Volts	Current Amps	Voltage Volts	Current Amps	Voltage Volts	Current Amps	
32305A	5*	2.0	9 to 15*	0.4	-9 to -15*	0.4	AA
32305B	5	3.0	12 to 15	1.0	-12 to -15	1.0	AAA
32305C	5	6.0	12 to 15*	1.0	-12 to -15*	1.0	D
32305D	5	6.0	12 to 15	1.7	-12 to -15	1.7	BBB
32305E	5	8.0	12 to 15	1.7	-12 to -15	1.7	BBB
32305F	5	12.0	12 to 15	1.7	-12 to -15	1.7	DBB
32305G	5	12.0	12 to 15	3.4	-12 to -15	3.4	DOC

OPTIONS

- 1 Tropicalisation – suffix code 'T'
- 2 Wide range output voltage adjustment – suffix code 'R' available on 12V and higher output voltages enabling adjustment down to 2V (de-rate linearly from full load to zero at 2V)
- 3 Low temperature operation -40°C to +50°C – suffix code 'LT'
- 4 Overvoltage Protection Modules – These optional Overvoltage Protection Modules are available for use with any power supply NOT supplied with built-in OVP. Each is adjustable from 6.4V to 34V and should be used when maximum load protection is of prime importance. Response time is 1ms. Mounting holes are provided on the chassis for these modules, which mount within the specified outline dimensions of each power supply.

32000 SERIES - GENERAL DIMENSIONS

All dimensions are in mm

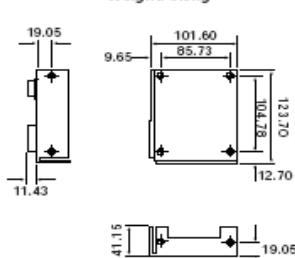
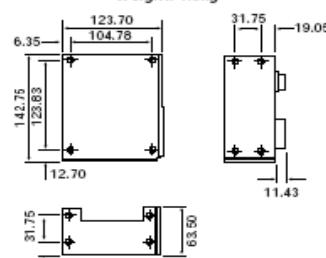
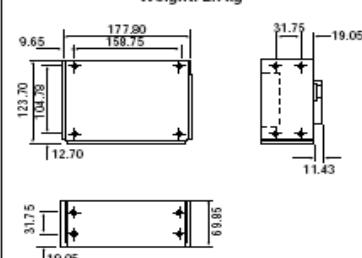
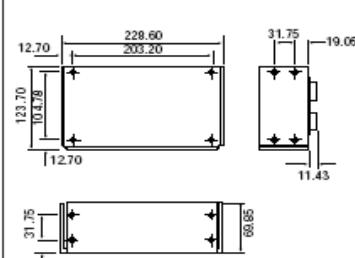
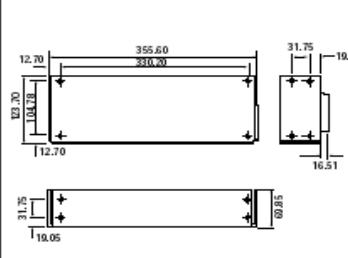
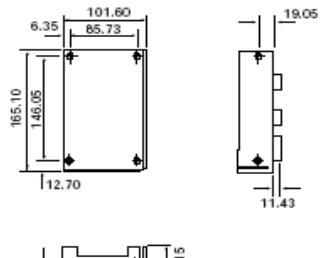
A Case
Weight: 0.9kgMounting holes 4.77mm diameter
Fuse at: 0.5/0.25 Amps for 100-120/220-240 VACB Case
Weight: 1.8kgMounting holes 4.77mm diameter
Fuse at: 1.0/0.5 Amps for 100-120/220-240 VACC Case
Weight: 2.7kgMounting holes 4.77mm diameter
Fuse at: 2.0/1.0 Amps for 100-120/220-240 VACD Case
Weight: 3.4kgMounting holes 4.77mm diameter
Fuse at: 2.0/1.0 Amps for 100-120/220-240 VACE Case
Weight: 4.5kgMounting holes 4.77mm diameter
Fuse at: 3.0/1.5 Amps for 100-120/220-240 VACAA Case
Weight: 0.9kgMounting holes 4.77mm diameter
Fuse at: 0.5/0.25 Amps for 100-120/220-240 VAC

Figura 28 Caratteristiche alimentatore alta tensione



Gamma ray detector array con Silicon Drift Chamber

Appendice C Schemi scheda sequencer

Schemi dei circuiti posti sulla scheda sequencer:

- Partitori utilizzati per estrarre le varie tensioni usate nella box2 (Figura 29)
- Temporizzatore (Figura 30)
- Disposizione dei componenti sulla scheda sequence confrontata con l'immagine (Figura 31)

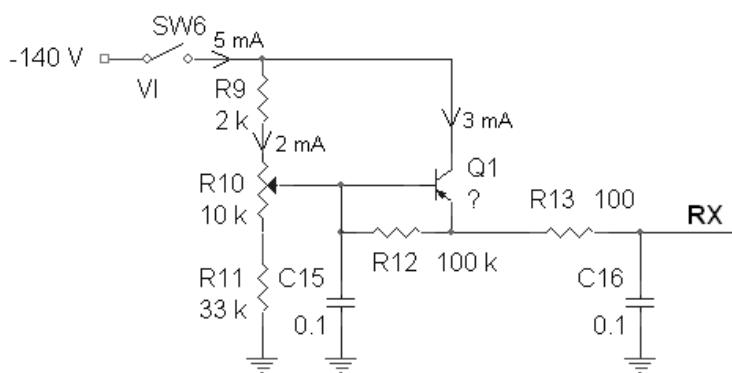
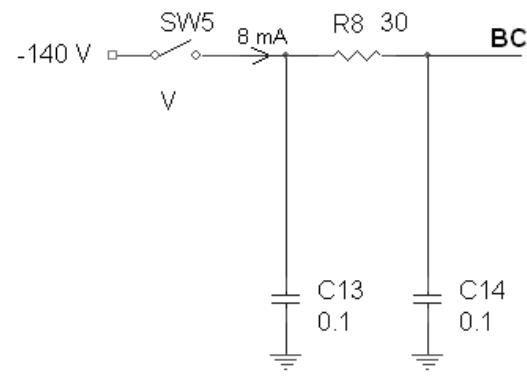
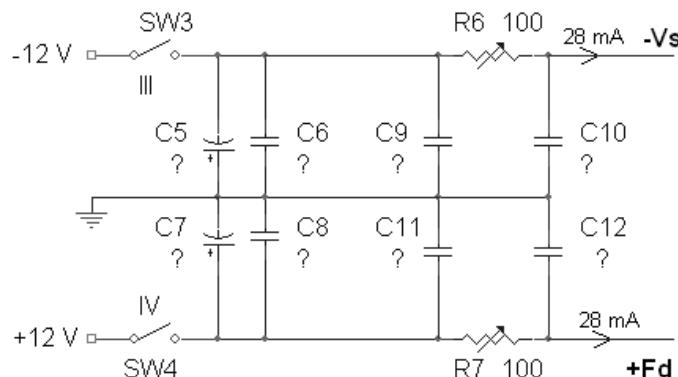
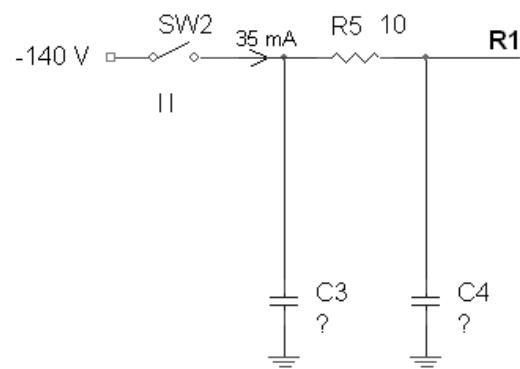
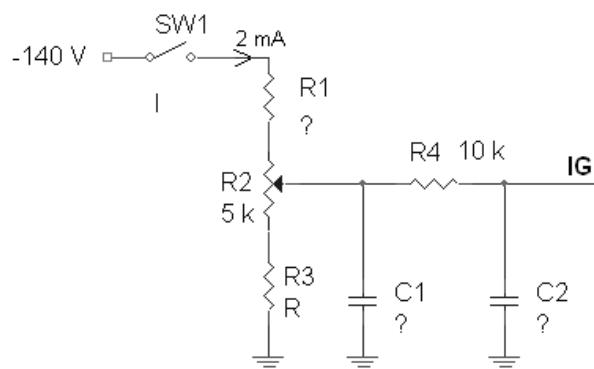


Figura 29 Schemi dei partitori del sequencer

Gamma ray detector array con Silicon Drift Chamber

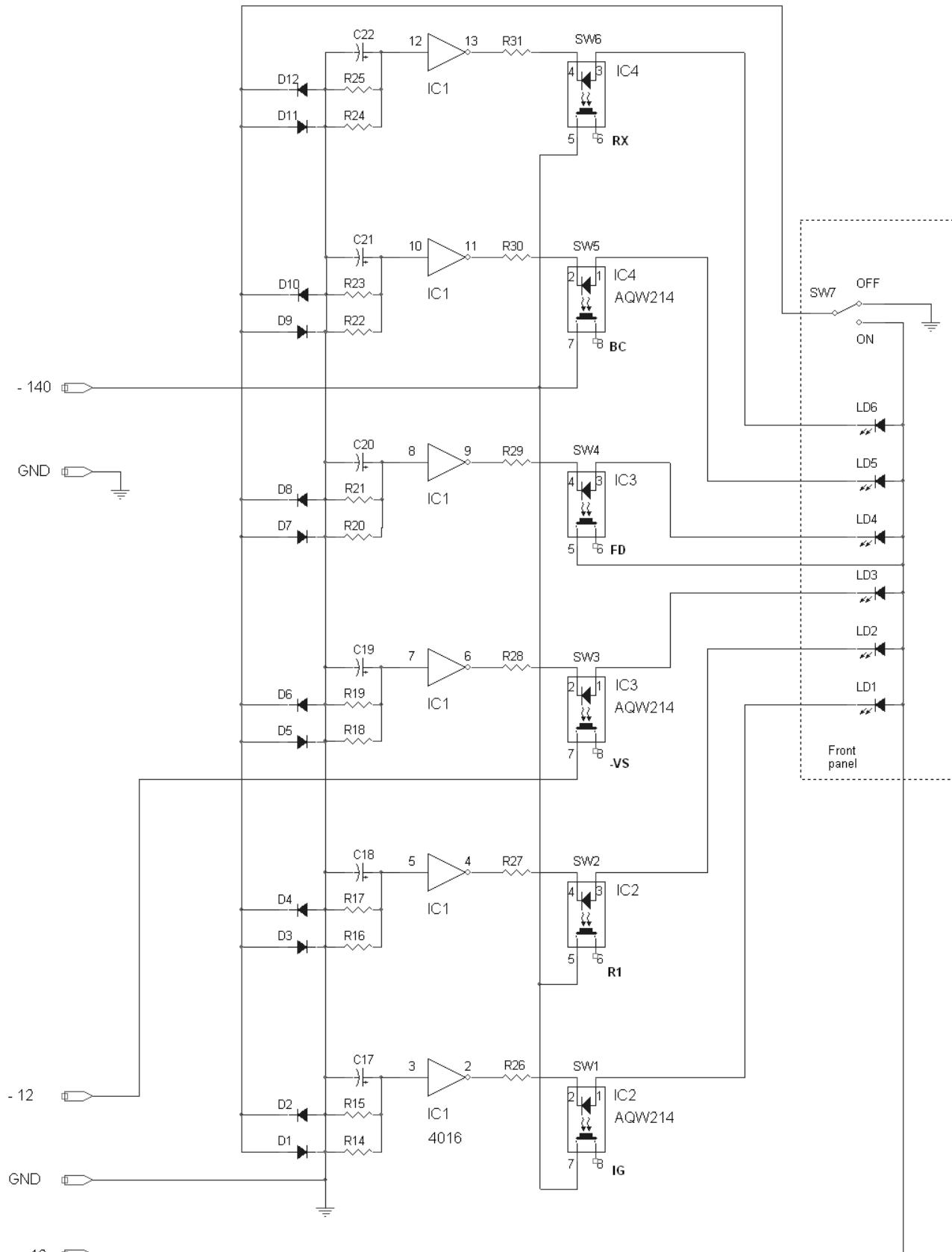


Figura 30 Schema temporizzatore del sequencer

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
Pag 36
Agosto 2010

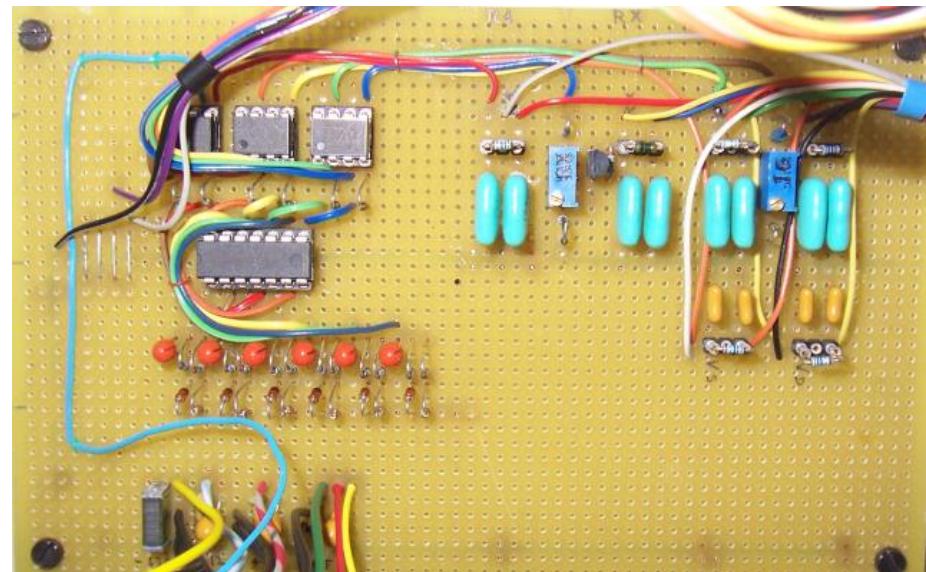
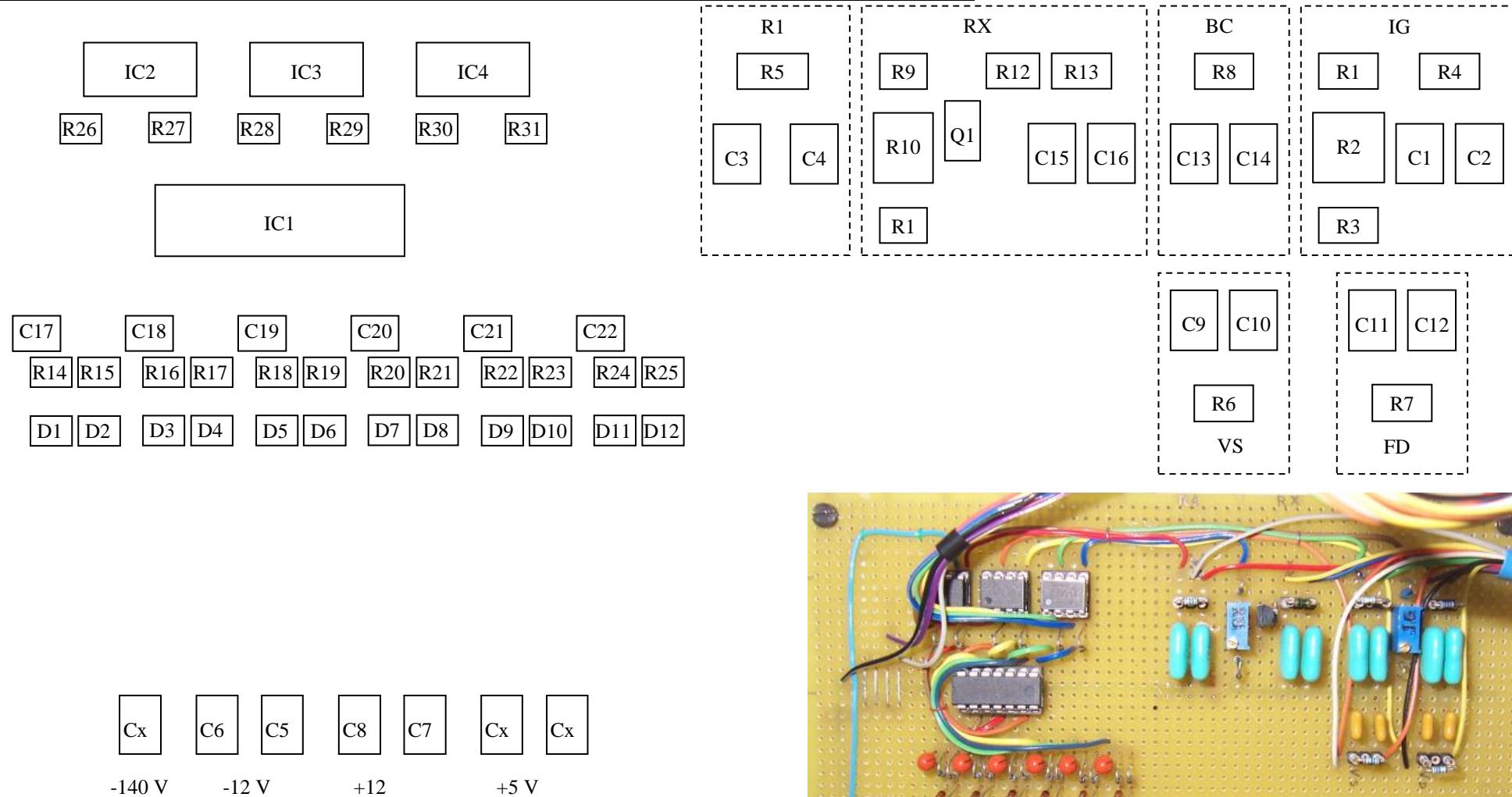


Figura 31 Disposizione dei componenti della scheda sequencer da confrontare con l'immagine a lato

Any information contained in this document is strictly private and confidential. All rights reserved.

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
Pag 37
Agosto 2010

Appendice D Schemi scheda adattatore tra scheda NI e front end elettronica

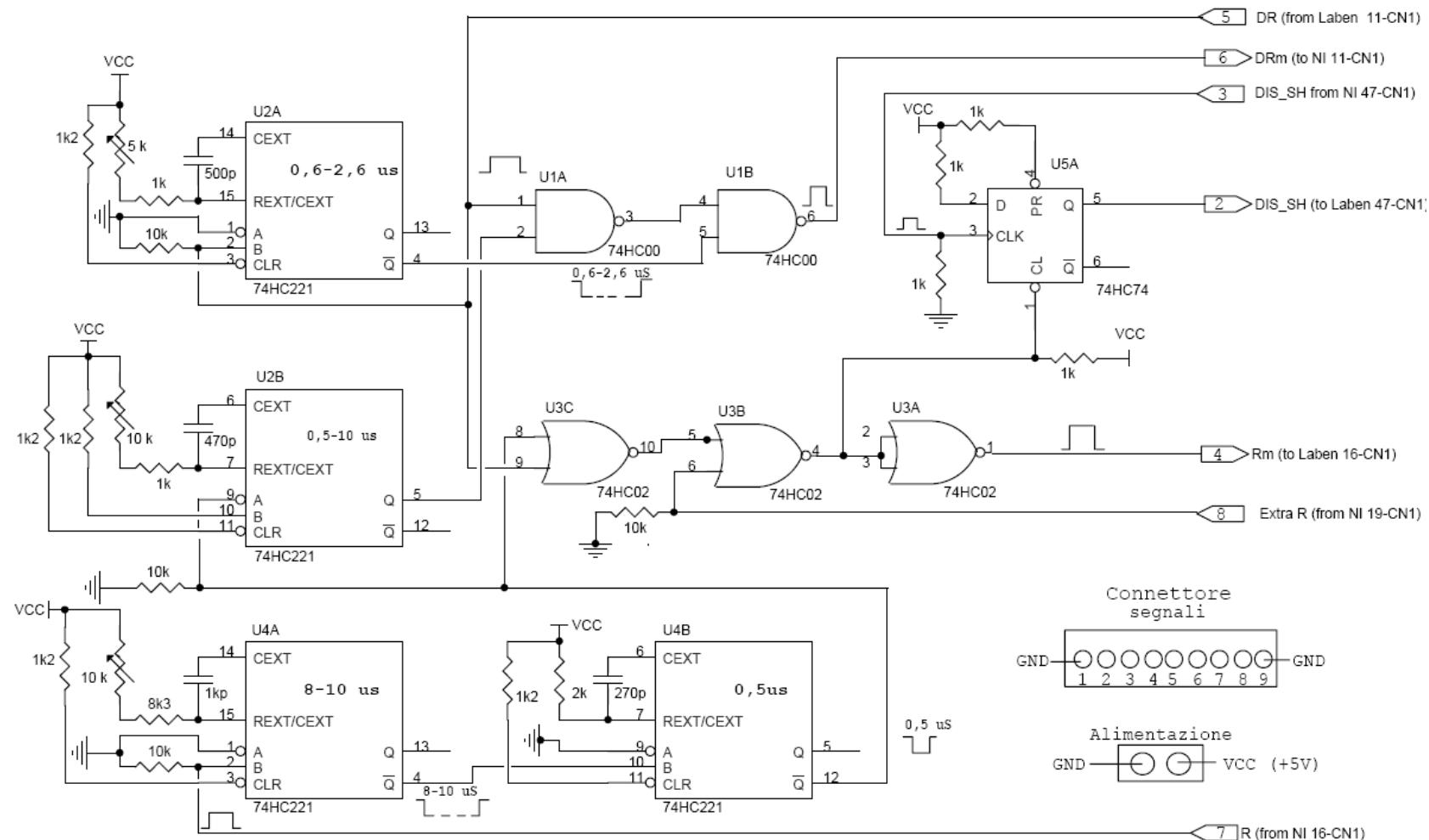


Figura 32 Schema adattatore per la gestione di eventi multipli via HW e la generazione continua di trigger come richiesto dalla scheda NI

Appendice E Il chip SDC ed il rivelatore

I rivelatori del sistema sono costruiti attorno ad un chip di SDC array i cui dettagli sono illustrati nel seguito in:

- Chip SDC, carrier di Allumina e montaggio del chip sul carrier (Figura 33)
- Dettagli del chip SDC font e back e dimensioni della zona di bonding (Figura 34)
- Pin assignment del chip SDC con tensioni di operazione (Tabella 4)
- Pin function del device SDC una volta montato sul carrier con tensioni e correnti di operazione (Figura 35)
- Disegno esploso drl device SDC incluso il frame meccanico ed i cristalli scintillatori (Figura 36)
- Disegno meccanico quotato del device SDC (Figura 37)



Gamma ray detector array con Silicon Drift Chamber

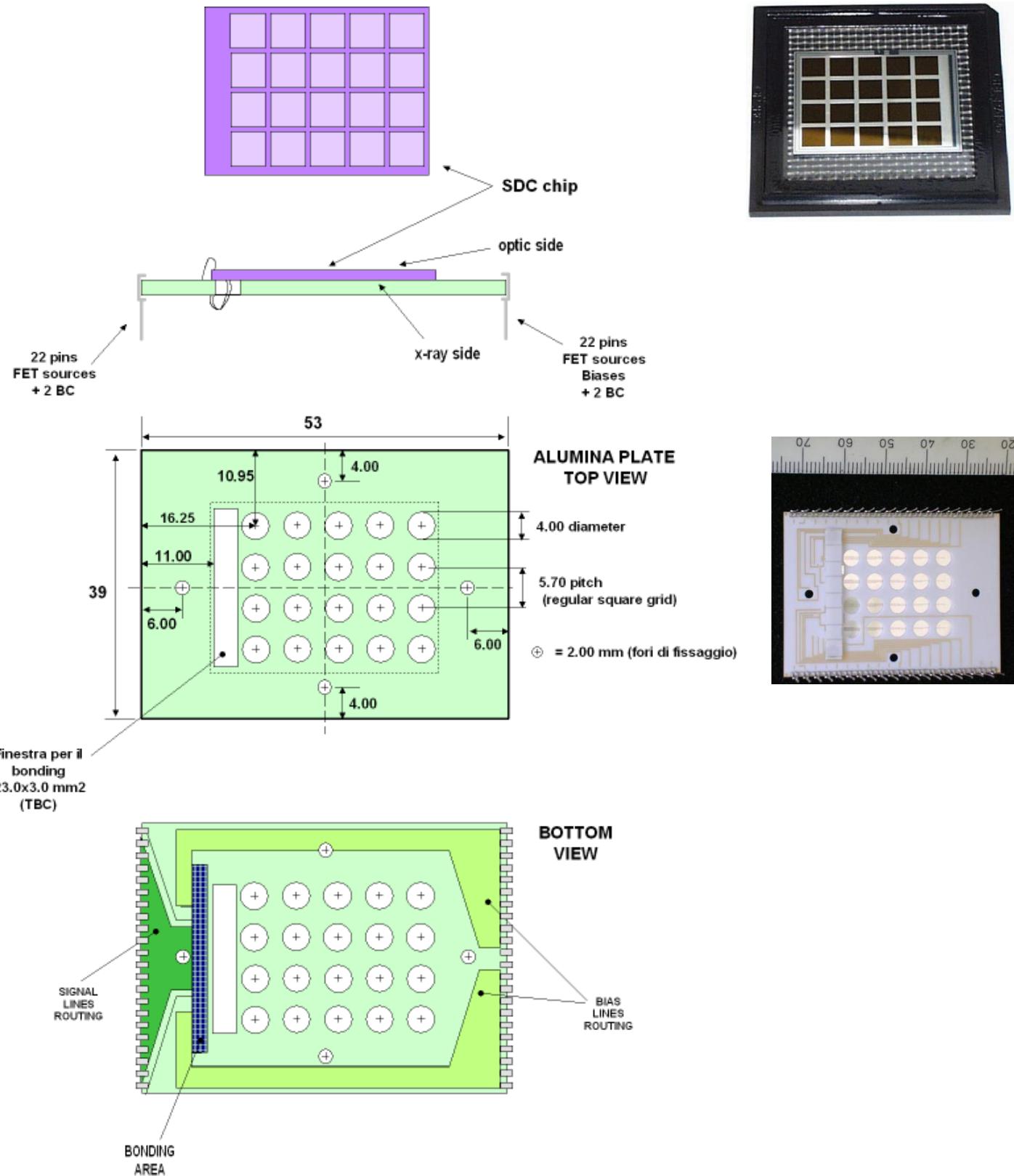


Figura 33 Disegno e foto del hip SDC (in alto), disegno e foto del carrier di Allumina e montaggio del chip sul carrier



Gamma ray detector array con Silicon Drift Chamber

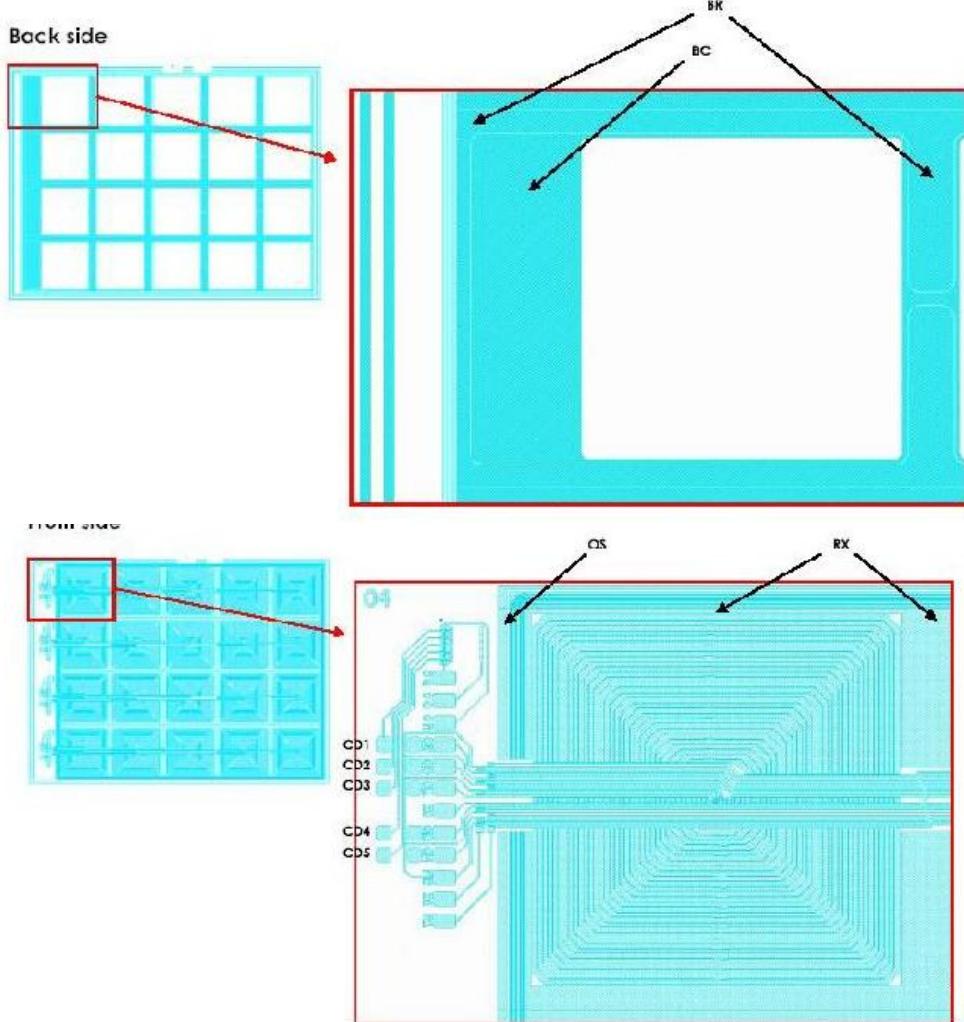
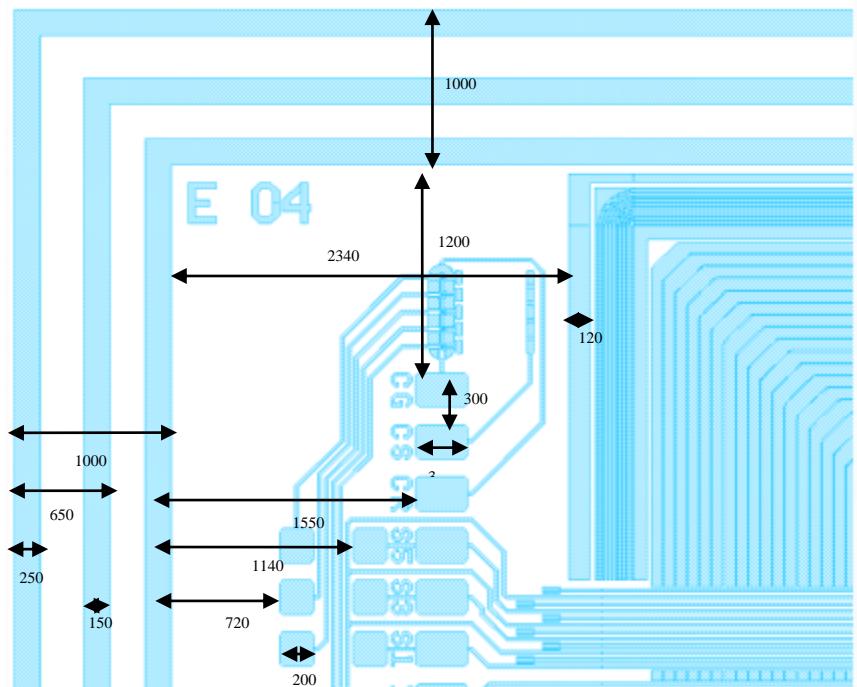


Figura 34 Particolare del chip SDC entrambi i lati e dettagli della zona di bonding



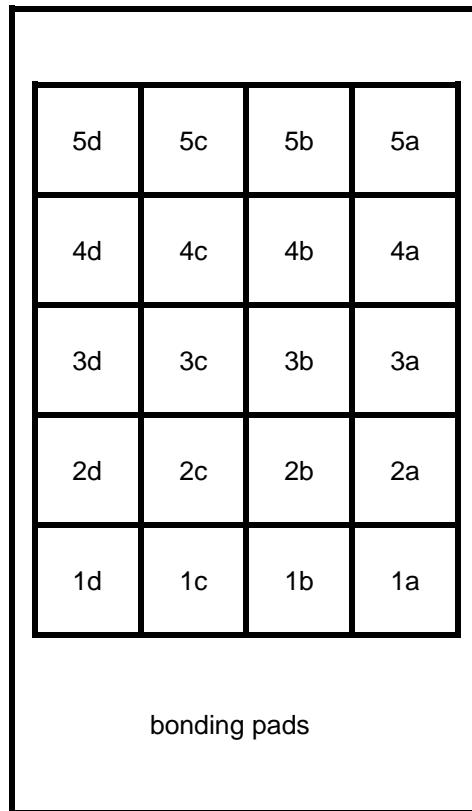
Pin-assignment of the MEGA-Chip		
Bondpad Label	Description	Typical operation voltage
IS	Inner Substrate	0 V
S1	FET Source of 1st SDD in row	250 µA
S2	FET Source of 2st SDD in row	250 µA
S3	FET Source of 3st SDD in row	250 µA
S4	FET Source of 4st SDD in row	250 µA
S5	FET Source of 5st SDD in row	250 µA
FD	FET Drain (5 SDD's combined)	+10 V
IG	Inner Guard Ring (5 SDD's combined)	-15 V
R1	1st Drift-Ring (5 SDD's combined)	-15 V
Direct Contacts (see map)	Description	Typical operation voltage
OS	Outer Substrate	0 V
RX	Last Drift-Ring (all 20 SDD's combined)	-110 V to -120 V expected
BC	Back Contact (all 20 SDD's combined)	-85 V
(BR)	Back Ring (all 20 SDD's combined)	same as RX or floating
Additional Bondpad	Description	Typical operation voltage
CG	Current-Source-FET Gate	optional integrated current sources for JFETs of on-chip amplifier
CS	Current-Source-FET Source	
CR	Current-Source-FET Ring	
CD1 (see map)	Current-Source-FET Drain 1	
CD2 (see map)	Current-Source-FET Drain 2	
CD3 (see map)	Current-Source-FET Drain 3	
CD4 (see map)	Current-Source-FET Drain 4	
CD5 (see map)	Current-Source-FET Drain 5	

Tabella 4 Tabella connessioni MEGA-Chip

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
Pag 42
Agosto 2010

	I (mA)	Volt		
Last drift ring	32	-120	RX	CN1-20
GND polaziz		0	H-GND	CN1-19
Outer substrate		0	OS	CN1-18
First drift ring	32	-15	R1-d	CN1-17
Inner guard ring	0	-15	IG-d	CN1-16
Fet drain	250	10	FD-d	CN1-15
Inner substrate		0	Is c-d	CN1-14
First drift ring	32	-15	R1-c	CN1-13
Inner guard ring	0	-15	IG-c	CN1-12
Fet drain	250	10	FD-c	CN1-11
		In source 4d	CN1-10	
		In source 2d	CN1-9	
		In source 1d	CN1-8	
		In source 3d	CN1-7	
		In source 5d	CN1-6	
		In source 4c	CN1-5	
		In source 2c	CN1-4	
		In source 1c	CN1-3	
		In source 3c	CN1-2	
		In source 5c	CN1-1	



	Volt	I (mA)		
CN2-20	BC c-d	-85	0	Back contact
CN2-19	BC a-b	-85	0	Back contact
CN2-18	BR	float		Back ring
CN2-17	Is a-b	0		Inner substrate
CN2-16	FD-a	10	250	Fet drain
CN2-15	Ig-a	-15	0	Inner guard ring
CN2-14	R1-a	-15	32	First drift ring
CN2-13	FD-b	10	250	Fet drain
CN2-12	IG-b	-15	0	Inner guard ring
CN2-11	R1-b	-15	32	First drift ring
CN2-10	In source 5a			
CN2-9	In source 3a			
CN2-8	In source 1a			
CN2-7	In source 2a			
CN2-6	In source 4a			
CN2-5	In source 5b			
CN2-4	In source 3b			
CN2-3	In source 1b			
CN2-2	In source 2b			
CN2-1	In source 4b			

Figura 35 SDC pin function e posizione dei PD: vista dall'alto



Gamma ray detector array con Silicon Drift Chamber

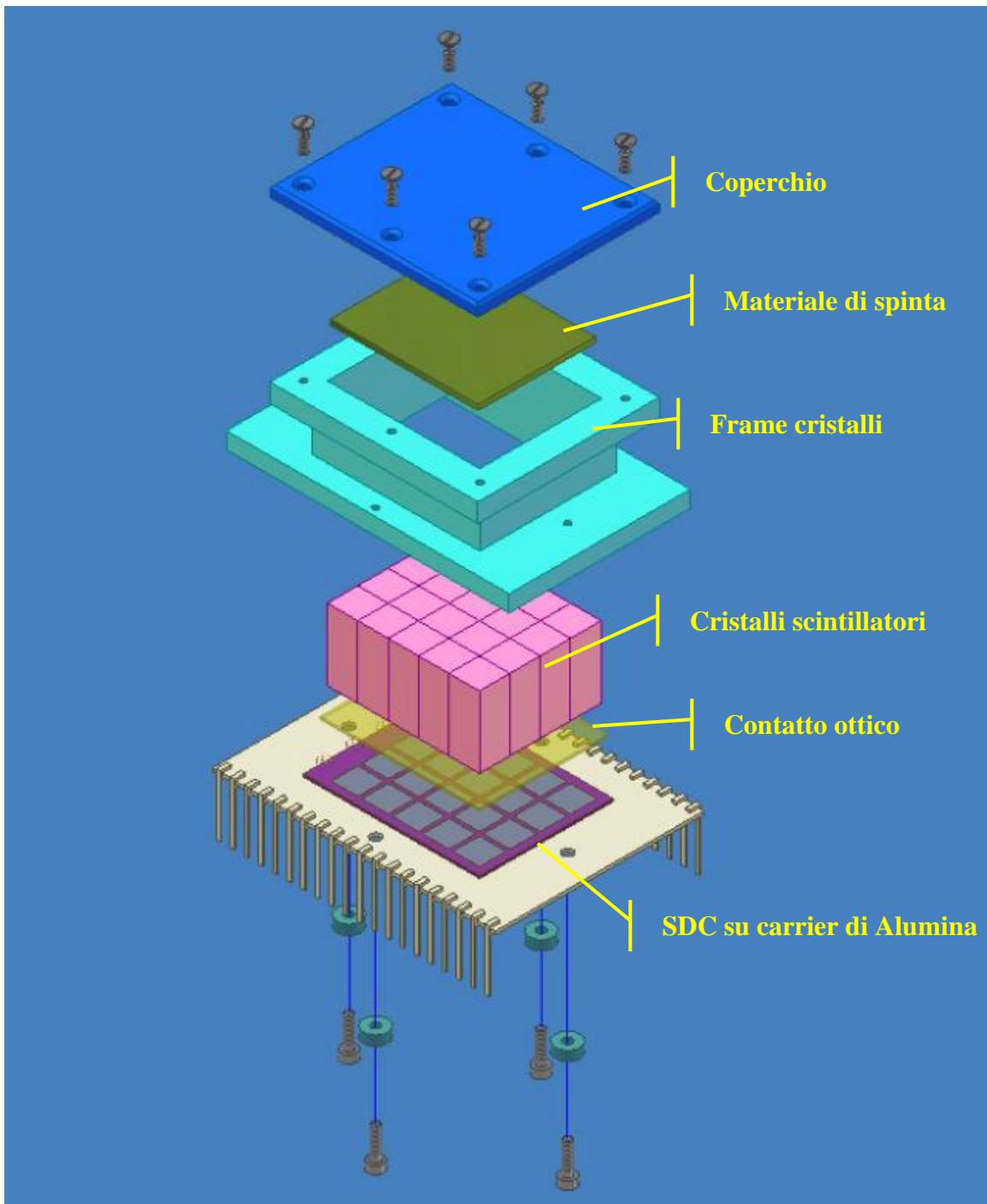
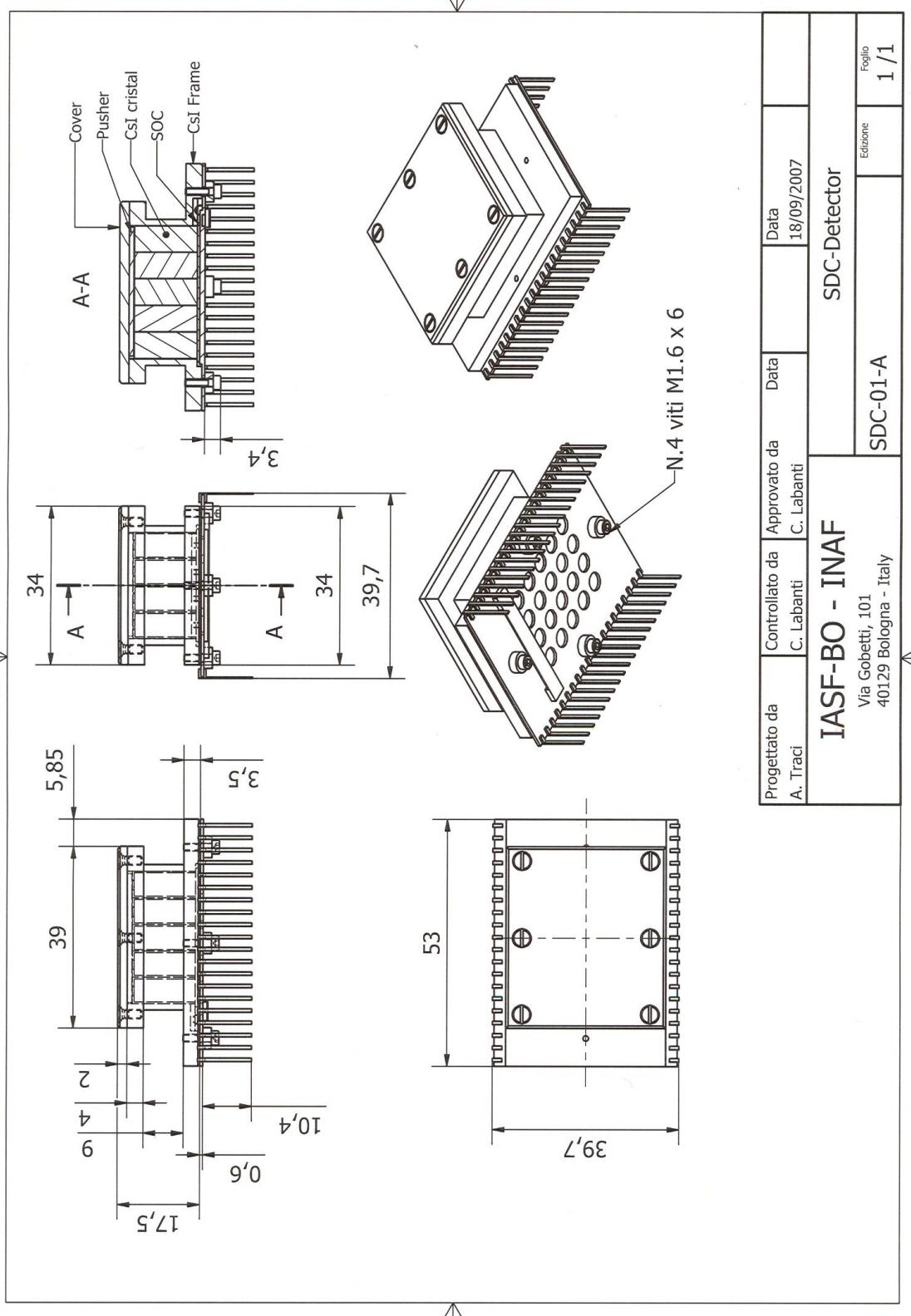


Figura 36 Disegno esploso del device SDC

Gamma ray detector array con Silicon Drift Chamber



Progettato da A. Traci	Controllato da C. Labantì	Approvato da C. Labantì	Data	Data
			18/09/2007	

SDC-Detector

IASF-BO - INAF
Via Gobetti, 101
40129 Bologna - Italy

SDC-01-A	Edizione	1 / 1
----------	----------	-------

Figura 37 Disegno meccanico del device SDC

Appendice F Attrezzatura per il montaggio dei cristalli sul SDC array

- La base di montaggio è costituita da 2 zoccoli Zero Insertion Force, su cui sarà posta la SDC ed un sistema da cui spuntano due guide verticali.
- La posizione della SDC rispetto alle guide verticali è definita quando la SDC e' posizionata negli zoccoli ZIF e questi sono chiusi
- Sulle guide verticali si possono sistemare, uno alla volta, in posizione ben definita rispetto alla SDC
 - Un sistema per la protezione dei bonding (Figura 38)
 - Un sistema per il posizionamento del ‘frame cristalli’ (Figura 39)

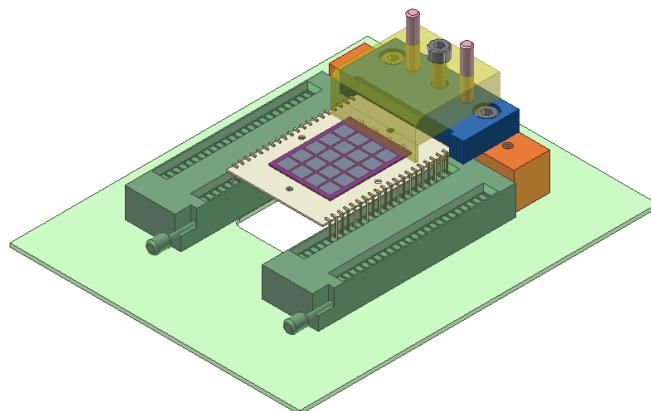


Figura 38 Base di montaggio per SDC (con sistema per la protezione dei bonding, marrone semitrasparente)

- La base di montaggio sarà tenuta da un sistema che ne permetterà diversi posizionamenti
- I piedini degli zoccoli ZIF sono tutti collegati assieme ad una calza per la messa a terra

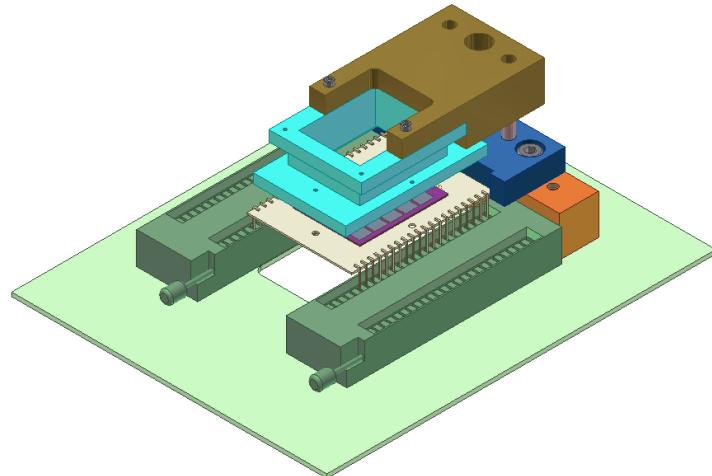


Figura 39 Base di montaggio per SDC: si vedono il ‘frame cristalli’ (azzurro) ed il sistema per il posizionamento del ‘frame cristalli’ (marrone)

Appendice G Sequenza di montaggio dei cristalli su SDC array

Nel seguito è mostrata la sequenza per il montaggio dei cristalli usando l'apposita attrezzatura

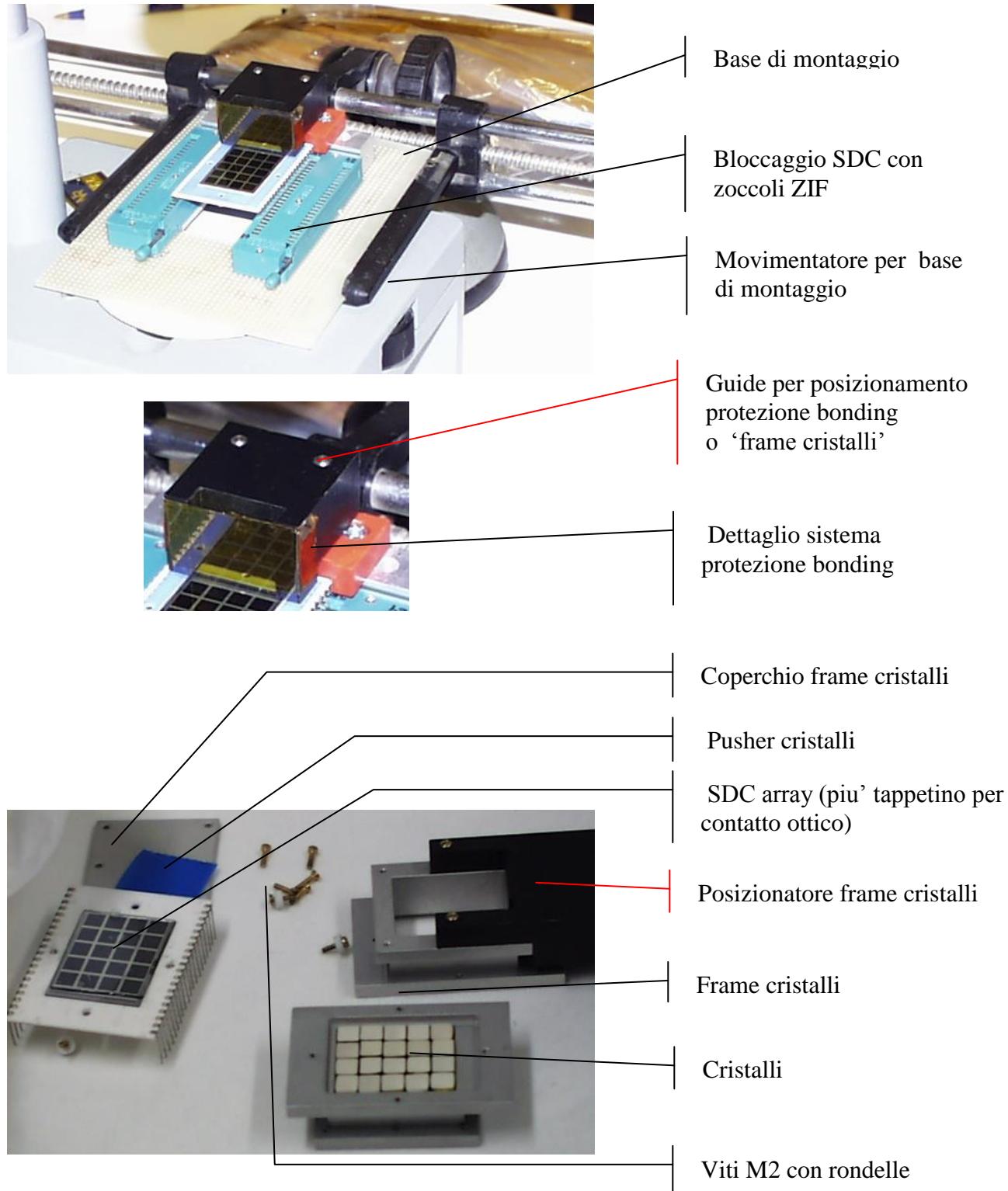
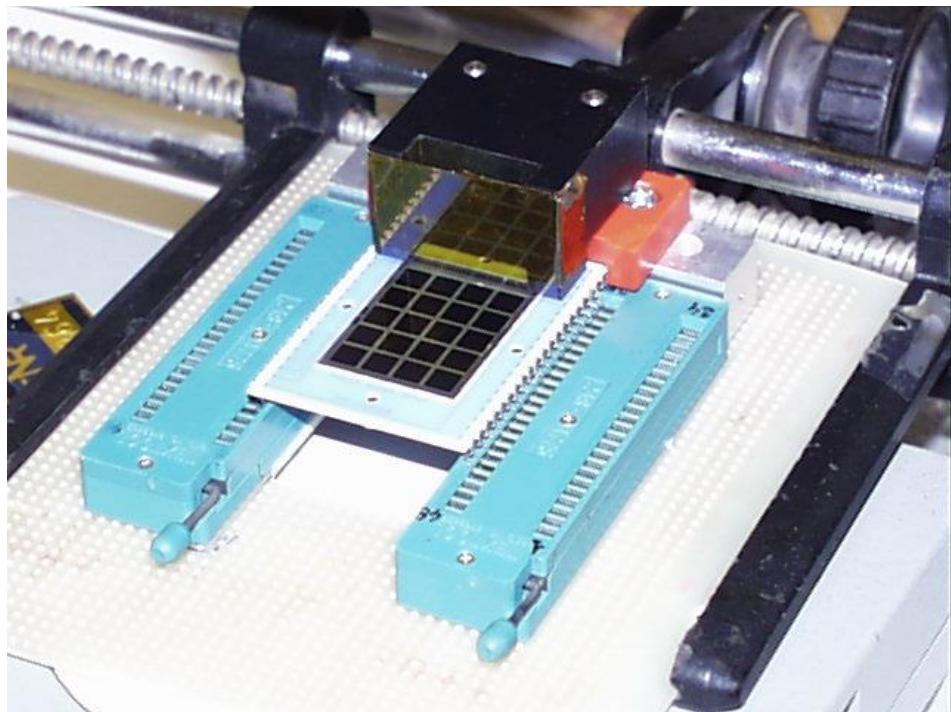


Figura 40 Attrezzatura per il montaggio dei cristalli sui diodi SDC

- 1) Collegarsi a terra
- 2) Mettere la base di montaggio sul movimentatore
- 3) Collegare a terra la base di montaggio
- 4) Sistemare la SDC array sugli zoccoli ZIF e serrarli
- 5) Posizionare il sistema di protezione bonding
- 6) Sistemare il tappetino di silicone per il contatto ottico fino a farlo toccare il sistema di protezione bonding



- 7) Sul banco di lavoro, montare avvitandolo il ‘frame cristalli’ sul suo sistema di posizionamento
- 8) Sulla base di montaggio, rimuovere il sistema di protezione bonding dalle guide



Gamma ray detector array con Silicon Drift Chamber

- 9) Sulla base di montaggio, sistemare il sistema di posizionamento ‘frame cristalli’ sulle guide

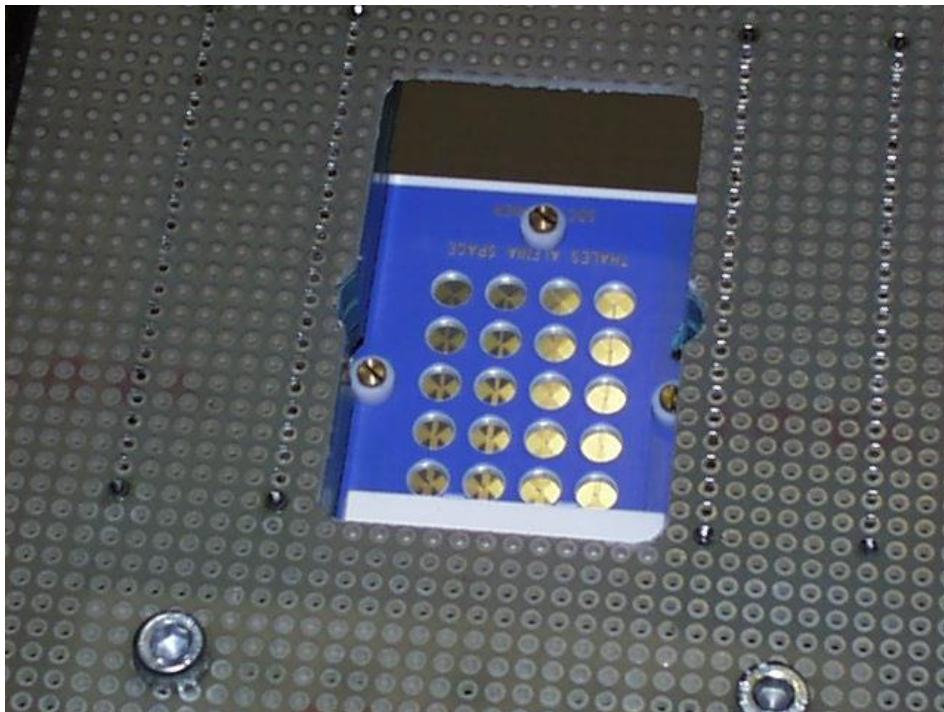


- 10) Usando il movimentatore porre la base di montaggio in verticale in modo da poter accedere alla parte posteriore della base di allumina.

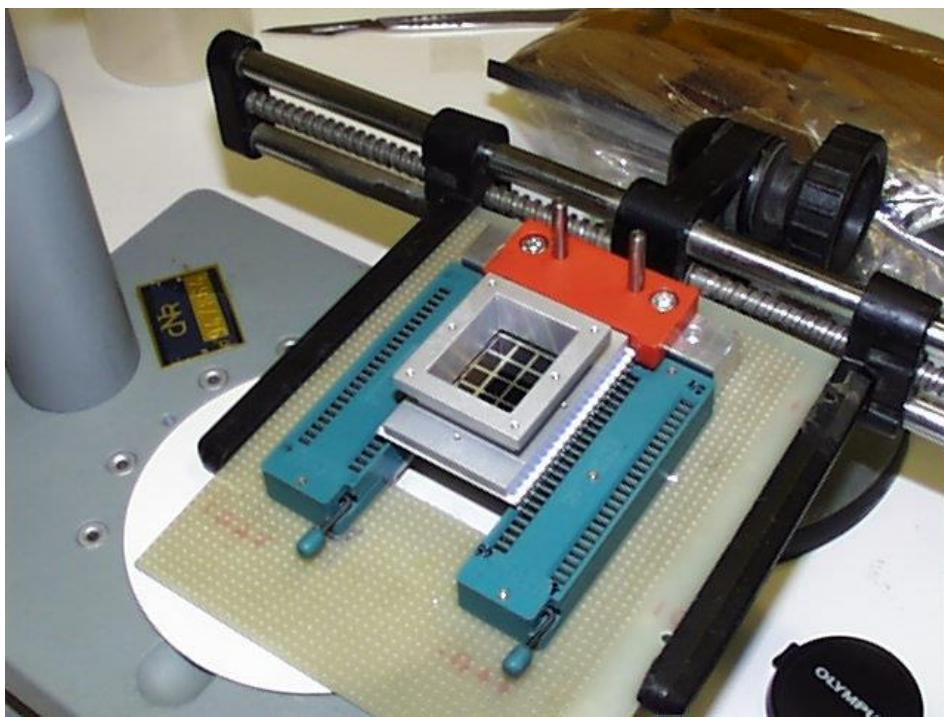
- 11) Avvitare le tre viti M2 accessibili per bloccare il ‘frame cristalli’ sulla base



Gamma ray detector array con Silicon Drift Chamber



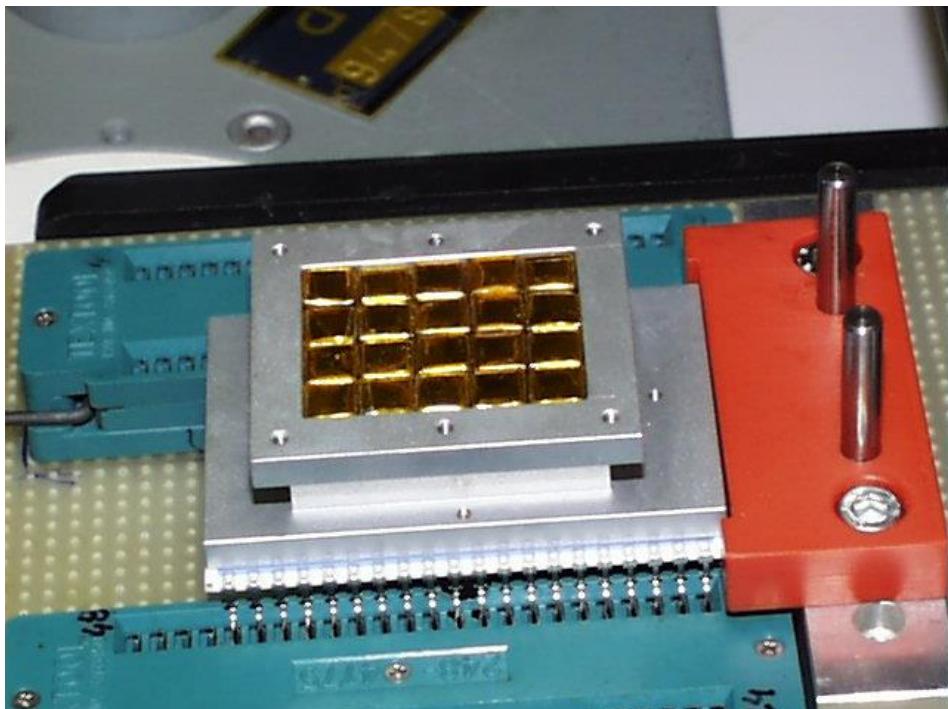
- 12) Usando il movimentatore porre la base di montaggio in posizione orizzontale
- 13) Rimuovere il sistema di posizionamento del ‘frame cristalli’ svitandolo da questo e togliendolo dalle guide della base di montaggio





Gamma ray detector array con Silicon Drift Chamber

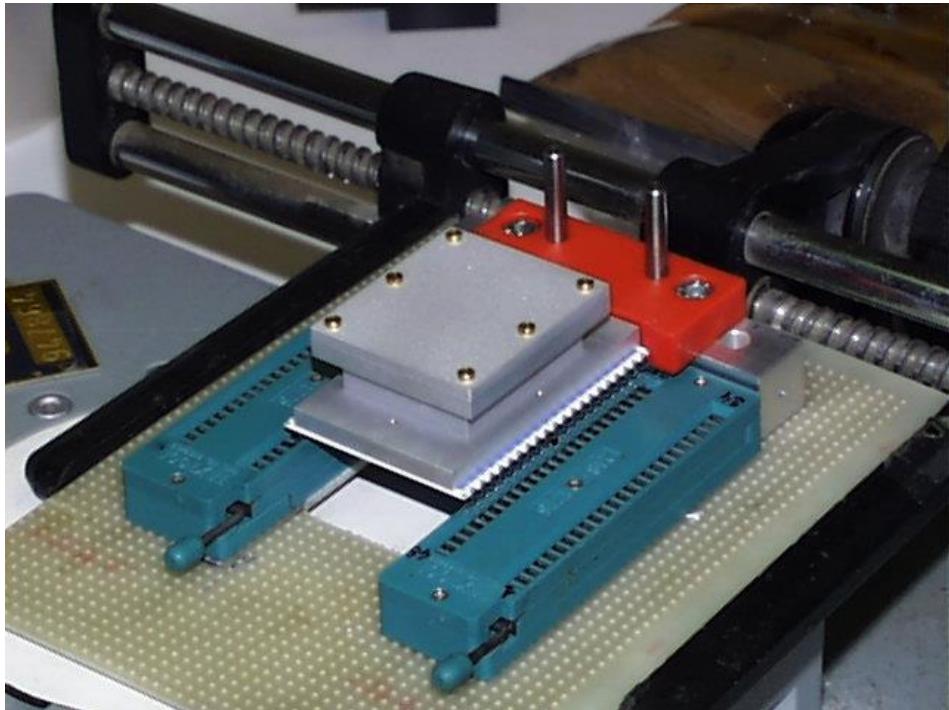
- 14) Montare i cristalli entro il ‘frame cristalli’ questo, una volta in posizione, protegge i bondig dell’array SDC da urti



- 15) Sistemare il pusher cristalli sopra questi ultimi
- 16) Sistemare il coperchio sopra il ‘frame cristalli’ ed avvitarlo in posizione



Gamma ray detector array con Silicon Drift Chamber



Appendice H Il device di test

Per i test preliminari si può utilizzare una SDC singola che presenta le stesse caratteristiche e le stesse modalità di polarizzazione delle SDC dell'array.

I dettagli del device sono

- Disegno schematico della SDC e modalità di bonding su carrier di Allumina (Figura 41)
- Pin function SDC singola e vista lato ottico (Figura 42)
- Pin function SDC singola montata su adattatore che riporta i pin del device singolo su una scheda con le stesse dimensioni e pin del SDC array carrier (Figura 43)

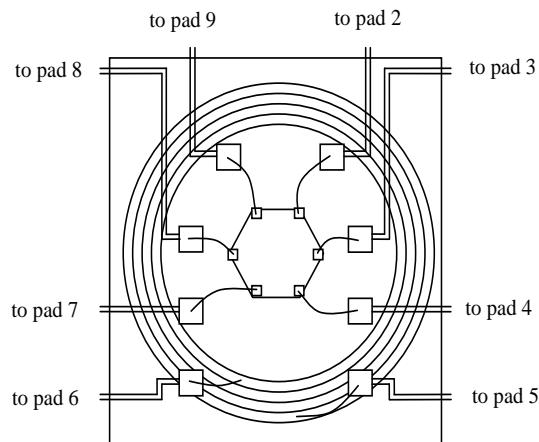
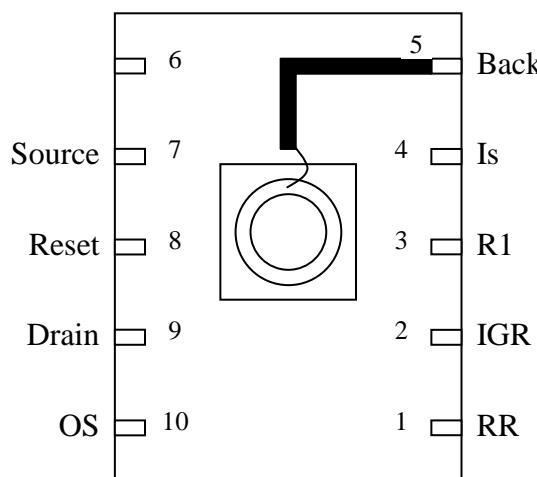


Figura 41 Modalità di bonding SDC singola (bottom view)



Pin	Funzione	V	I (μ A)
1	RR	-125.0	23.3
2	IGR	-15	0
3	R1	-13	-23.3
4	IS		
5	Back	-88.1	0
6	-		
7	Source	-11.6	405
8	Reset		
9	Drain	+9.0	-288
10	OS	GND	

Figura 42 Top view SDC singola (lato ottico) montata su Allumina e pin function SDC singola

Gamma ray detector array con Silicon Drift Chamber

PIN adattatore	Funzione	Pin SDC	Funzione	V
CN1 - 20	RX	1	RR	-125.0
CN1 - 16	IG-d	2	IGR	-15
CN1 - 17	R1-d	3	R1	-13
-		4	IS	
CN2 -20	BC c-d	5	Back	-88.1
-		6	-	
CN1 - 10	In Source 4d	7	Source	-11.6
-		8	Reset	
CN1 - 15	FD-d	9	Drain	+9.0
CN1 - 19		10	OS	GND
CN1 - 18				

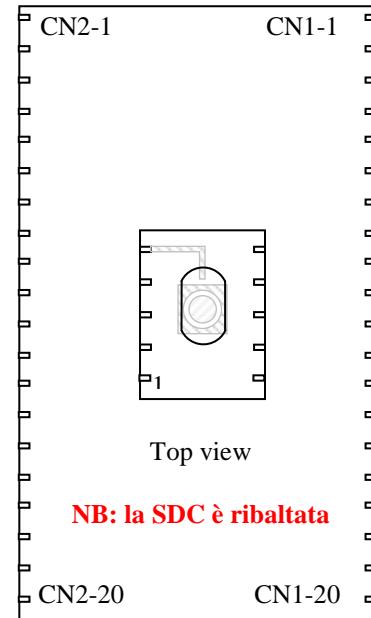


Figura 43 Pin function SDC singola montata sull'adapter. A sinistra top view adattatore, la SDC è montata a rovescio e presenta il back in quella che è la top-view dell'adapter, i.e. il lato ottico è dalla parte bottom dell'adapter dove ci sono i pin

Appendice I ICARUS-SDC ASIC

In Figura 44 è mostrato lo schema di collegamento dell'ASIC input al FET montato sull'SDC. Lo stadio di ingresso di ogni canale è un voltage amplifier seguito da uno shaping amplifier con formatura semi-gaussiana.

Dalla pagina seguente è mostrata la descrizione dell'ASIC del fornitore incluso:

- pin assignment (Figura 45, Tabella 5)
- modalità di funzionamento (Figura 46)
- circuito equivalente dei I/O dell'ASIC (Figura 47)
- descrizione registri interni (Tabella 6)

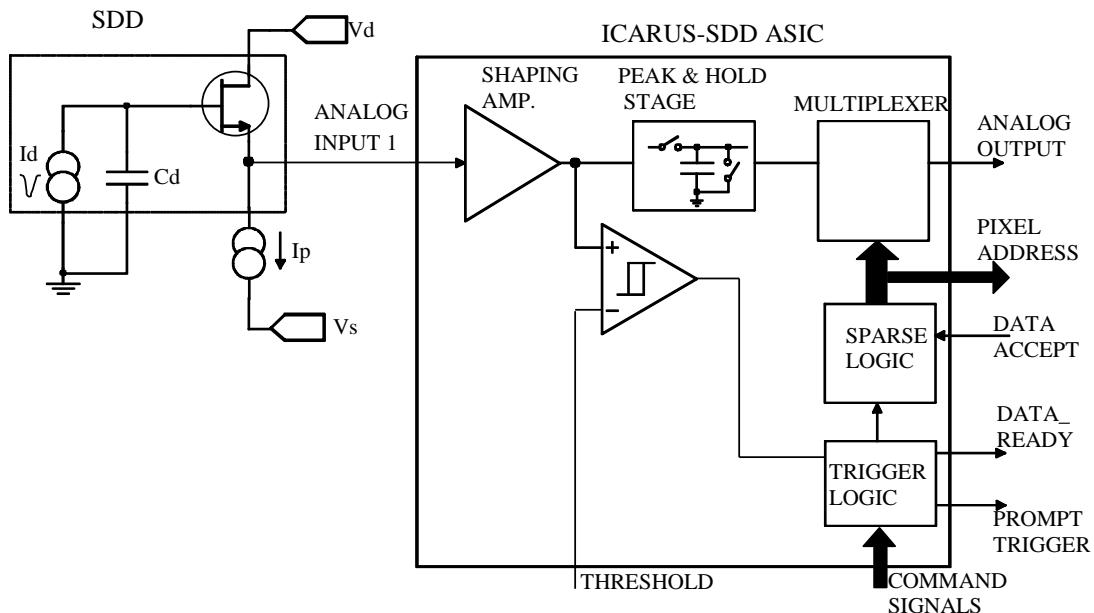


Figura 44 ICARUS-SDC ASIC modalità di collegamento al rivelatore



Gamma ray detector array con Silicon Drift Chamber

IASF Bologna

Int Repxxxx

Pag 55

Agosto 2010

SDD - ICARUS

TITLE:	SDD ICARUS MPW1 ASIC DESCRIPTION	
PROJECT:	SDD - ICARUS	
DOCUMENT TYPE:	SHORT FORM DESIGN REPORT	
DOCUMENT ID:	STATUS:	CONFIDENTIAL

ABSTRACT

THIS DOCUMENT DESCRIBES SPECIFIC FEATURES OF THE SO-CALLED SDD ICARUS CHIP, WHICH IS AN ELABORATED VERSION OF THE ORIGINAL INTEGRAL-ICARUS ASIC AND IS DEDICATED TO SILICON DRIFT DETECTORS.

TABLE OF CONTENTS

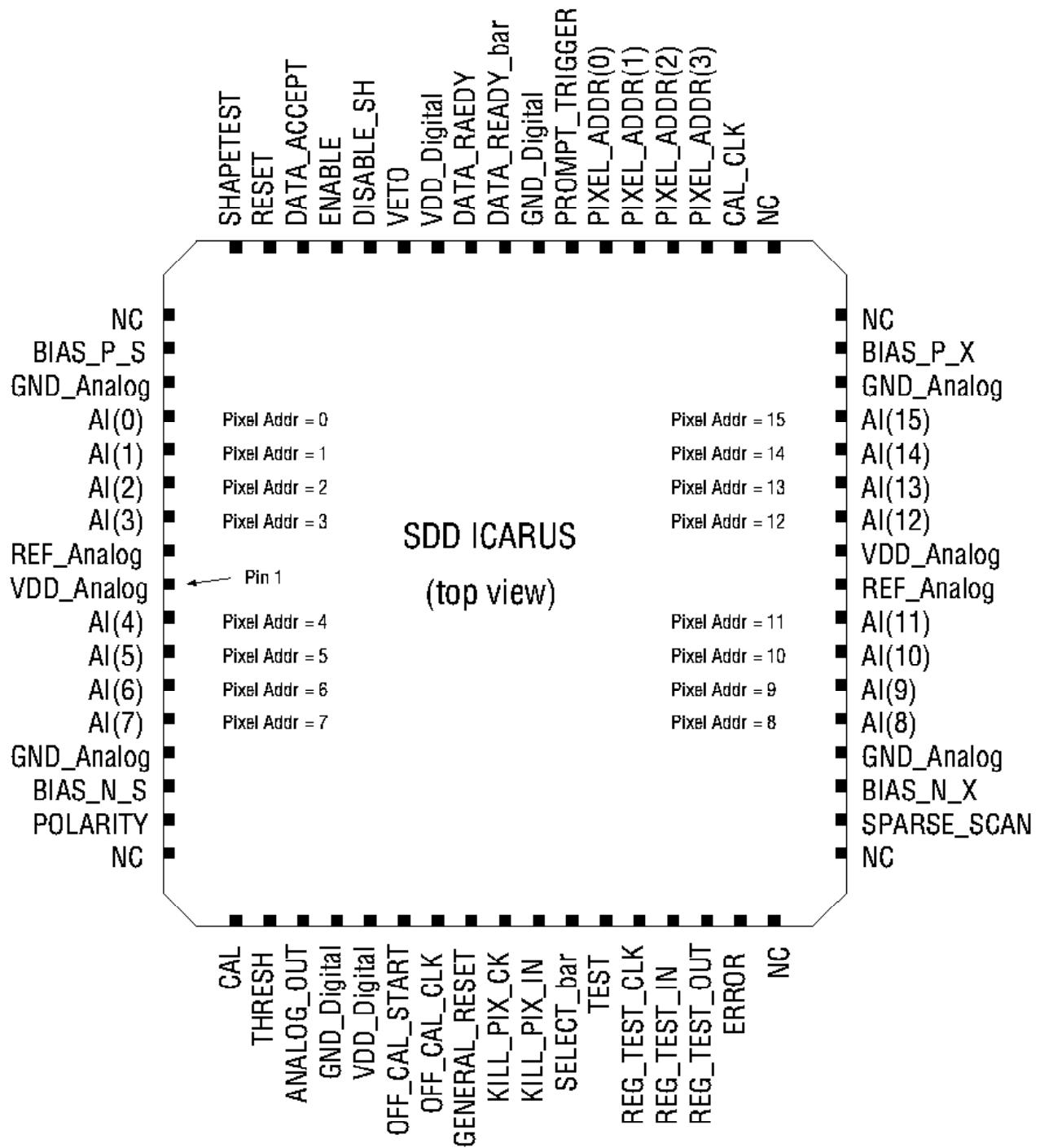
6	ICARUS ASIC OUTLINE.....	57
6.1	PIN ASSIGNMENT 57	
6.2	PIN FUNCTION AND SIGNAL DESCRIPTION 58	
6.3	SIMPLIFIED CHIP ARCHITECTURE 59	
6.4	SPECIAL DIGITAL I/O CIRCUITS 61	
7	MODIFIED OR ADDED FUNCTIONS	61
7.1	COMMENT 61	
7.2	INPUT STAGE 61	
7.3	SPARSE DATA SCAN VERSUS FULL READOUT 62	
7.4	CAL MODE 62	
7.5	SHAPETEST FUNCTION 62	
8	EXTENDED FEATURES	63
8.1	COMMENT 63	
8.2	OFFSET AUTO-CALIBRATION FUNCTION 63	
8.3	REGISTER TEST AND ERROR FUNCTION 64	
8.4	INTERNAL THRESHOLD CHECK: 65	
8.5	INTERNAL DAC'S TEST 65	

Keywords:

ICARUS	Imager Charge Amplifier and Readout System
SDD	Silicon Drift Detector
ASIC	Application-Specific Integrated Circuit
MPW	Multi-Project Wafer integration
CSA	Charge-Sensitive Amplifier
DAC	Digital-to-Analog Converter
MSB	Most Significant Bit
LSB	Least Significant Bit
RVS	Reduced Voltage Swing
CMDO	Current-Mode Digital Output

6 ICARUS ASIC OUTLINE

6.1 PIN ASSIGNMENT



NC = not connected

Figura 45 ICARUS SDC ASIC outline (CLCC-68 package) e pin assignment.

6.2 PIN FUNCTION AND SIGNAL DESCRIPTION

Pin name	Type	Signal class ^(note #)	Function
AI(0...7)	Input	Analog Voltage ⁽¹⁾	Analog inputs from external CSA (SDD)
AI(8...15)	Input	Analog Voltage ⁽¹⁾	Analog inputs from external CSA (X-ray)
BIAS_P_S	Passive	Analog Voltage ⁽²⁾	Bias voltage check/decouple for chan. 0...7
BIAS_N_S	Passive	Analog Voltage ⁽³⁾	Bias voltage check/decouple for chan. 0...7
BIAS_P_X	Passive	Analog Voltage ⁽²⁾	Bias voltage check/decouple for chan. 8...15
BIAS_N_X	Passive	Analog Voltage ⁽³⁾	Bias voltage check/decouple for chan. 8...15
POLARITY	Input	CMOS (Active HIGH) ⁽⁴⁾	Polarity change for analog inputs AI(0...7)
SPARSE_SCAN	Input	CMOS (Active HIGH) ⁽⁴⁾	Select sparse data scan (1, ICARUS standard) or full readout (0)
GENERAL_RESET	Input	CMOS (Active HIGH)	General Reset input for digital and all channel Peak & Hold circuits
RESET	Input	RVS (Active HIGH)	Input to reset Peak & Hold, trigger and related readout logic
VETO	Input	RVS (Active HIGH)	Inhibit data storage for veto coincident events
PROMPT_TRIGGER	Output	CMDO (Active SINK)	Time-stamp for each event exceeding the threshold, regardless of the veto status
DATA_READY	Output	CMOS (Active HIGH)	Flag to indicate the presence inside the ASIC of valid data to be read out
DATA_READY_bar	Output	CMOS (Active LOW)	
DISABLE_SH	Input	RVS (Active HIGH)	Input to prevent the ASIC from acquiring new events
ENABLE	Input	RVS (Active HIGH)	Enabling of the 3-state input/output to listen/talk on bus
DATA_ACCEPT	Input	RVS (Active HIGH)	Prompt for next data
PIXEL_ADDR(0...3)	Output	CMDO (Active SINK)	Current read out channel address
ANALOG_OUT	Output	0...500mV wrt. REF Analog Voltage Output	Buffered output voltage for the analog data
CAL	Bi-directional	Analog Voltage	Formerly calibration input (only used for internal threshold level measurement)
CAL_CLK	Input	CMOS (Active HIGH)	Clock for CAL shift register (for ShapeTest function)
THRESH	Input	Analog 0...2.5V	Threshold level
SHAPETEST	Input	CMOS (Active HIGH)	Input to disable the stretching function in order to observe the shaper output signal
OFF_CAL_START	Input	CMOS (Active HIGH)	Input to start the offset auto-calibration procedure
OFF_CAL_CK	Input	CMOS (Active HIGH)	Input to clock the offset auto-calibration procedure

Tabella 5 ASIC pin function (continua)

Pin name	Type	Signal class	Function
REG_TEST_IN	Input	CMOS (Active HIGH) ⁽⁴⁾	Input to the FIFO register with majority-voting scheme
REG_TEST_OUT	Output	CMOS (Active HIGH)	Output of the FIFO register with majority-voting scheme
REG_TEST_CLK	Input	CMOS (Active HIGH) ⁽⁴⁾	Clock signal for the FIFO register with majority-voting scheme
ERROR	Output	CMOS (Active HIGH)	Flag to indicate an error in the FIFO register with majority-voting scheme
SELECT_bar	Input	CMOS (Active LOW)	Chip selection for pixel disable operations
KILL_PIX_IN	Input	CMOS (Active HIGH)	Input of pixel disable shift register
KILL_PIX_CK	Input	CMOS (Active HIGH)	Clock signal for pixel disable shift register
TEST	Input	CMOS (Active HIGH) ⁽⁴⁾	Select test mode for internal threshold and autozero DAC's checks
VDD_Analog	Supply	DC 5.0V	Supply pin for the analog circuitry
REF_Analog	Supply	DC 2.5V	Analog reference-ground
GND_Analog	Supply	DC 0.0V	Ground pin for the analog circuitry
VDD_Digital	Supply	DC 5.0V	Supply pin for the digital circuitry
GND_Digital	Supply	DC 0.0V	Ground pin for the digital circuitry

Notes:

1. The DC operating range of analog inputs is +0.6V to 3.1V with respect to GND.
2. To minimize noise and crosstalk during operation, it is recommended to connect a 10nF ceramic capacitor between pin BIAS_P_S and supply pin VDD_Analog for scintillator channels, and to connect a 10nF ceramic capacitor between pin BIAS_P_X and supply pin VDD_Analog for X-ray channels. If the X-ray channels are not used, shorting pin BIAS_P_X to VDD_Analog will reduce the total supply current. Similarly, when the scintillator channels are not used, shorting pin BIAS_P_S to VDD_Analog can reduce the supply current.
3. To minimize noise and crosstalk during operation, it is recommended to connect a 10nF ceramic capacitor between pin BIAS_N_S and supply pin GND_Analog for scintillator channels, and to connect a 10nF ceramic capacitor between pin BIAS_N_X and supply pin GND_Analog for X-ray channels.
4. On-chip pull-down resistors ($\approx 100\text{k}\Omega$) are implemented on digital inputs POLARITY, SPARSE_SCAN, REG_TEST_IN, REG_TEST_CLK and TEST.

6.3 SIMPLIFIED CHIP ARCHITECTURE

The block diagram of the ASIC (Fig. 2 on next page) gives a detailed functional view of one channel together with the most important common readout circuitry.

Gamma ray detector array con Silicon Drift Chamber

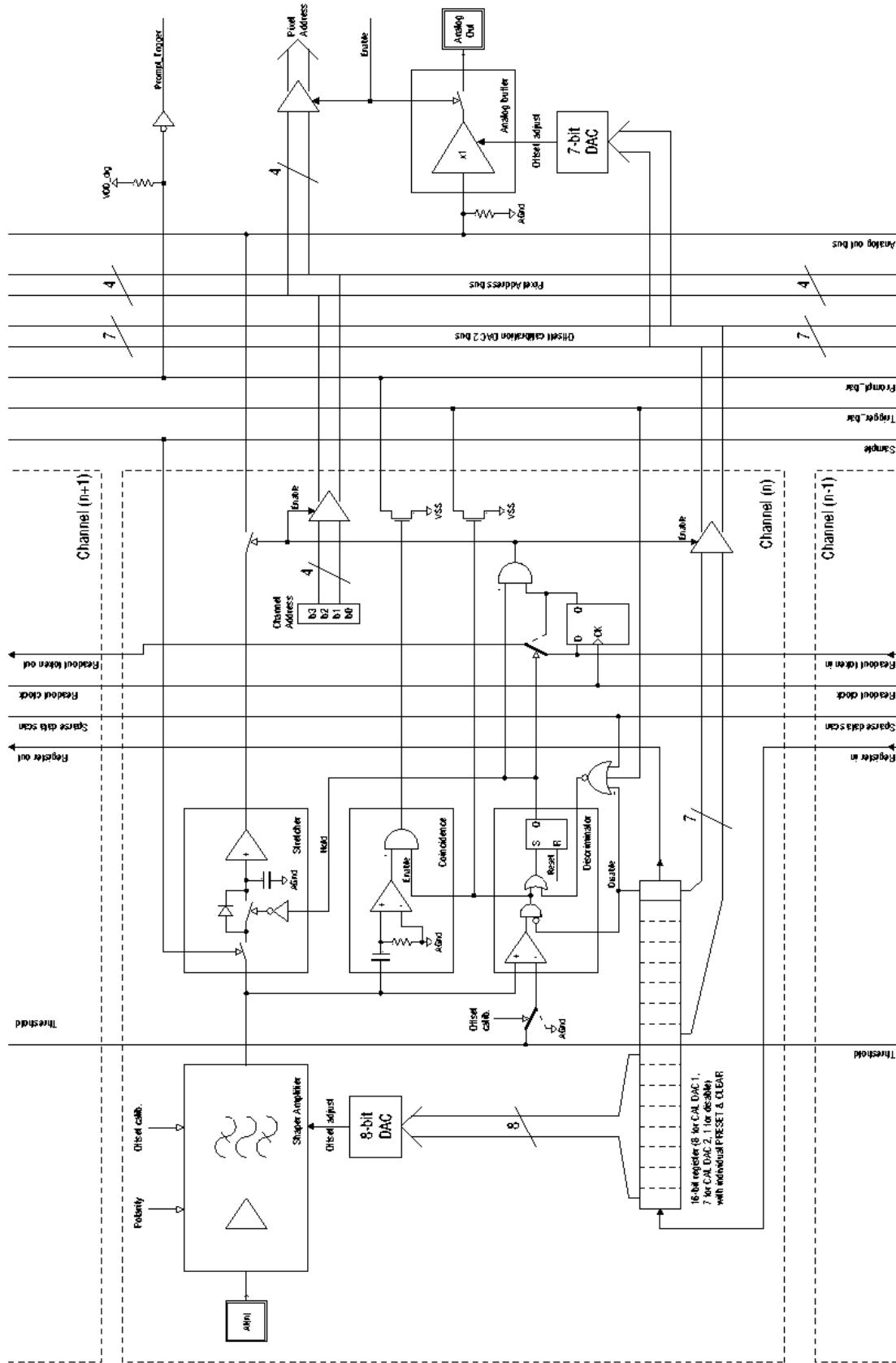
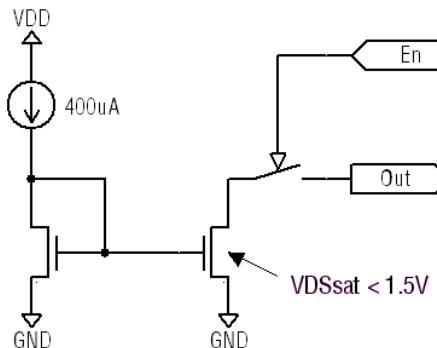


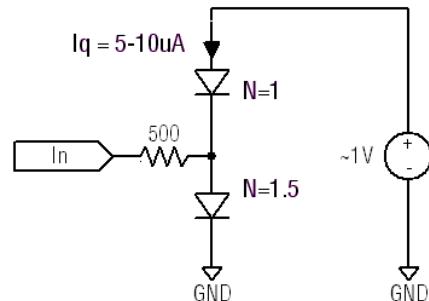
Figura 46 ICARUS SDC ASIC description

6.4 SPECIAL DIGITAL I/O CIRCUITS

The electrical equivalents for Current-Mode Digital Output (CMDO) and Reduced Voltage Swing (RVS) circuits are given below:



Current-Mode Digital Output (CMDO) stage equivalent circuit



RVS input electrical equivalent

Figura 47 ICARUS SDC ASIC digital I/O equivalent circuit

7 MODIFIED OR ADDED FUNCTIONS

7.1 COMMENT

This section describes features of the chip that have been modified or added with respect to the Integral-ICARUS ASIC. These include the input preamplifier/shaper, the readout scheme and the CAL function. Other functions which were not implemented following the ICARUS ASIC specification (LABEN Doc. No. TL11573) are also described.

7.2 INPUT STAGE

The input stage of each channel is no longer a charge-sensitive amplifier as the charge-to-voltage conversion is performed outside of the chip (on the detector itself or by means of an external CSA). Instead, a simple voltage amplifier is provided on the chip.

The first 8 channels (those on the left-hand side of the chip) are designed for scintillator applications as they exhibit a nominal shaping time of 10 μs. The POLARITY digital input must be set according to the input signal polarity: 0 (LOW) for negative input steps and 1 (HIGH) for positive input steps. The sensitivity is the same for both polarities: an input step of 10.7 mV will be amplified to a 500 mV peak positive pulse at the shaper output.

The 8 channels on the right-hand side of the chip are dedicated to X-ray detection. Their shaping time is about 1.5 μs and they only accept negative input steps (the POLARITY control has no effect on the signal processing). The input sensitivity is 4.5 mV.

Scintillator channels are assigned addresses 0 (0000) to 7 (0111) while X-ray channels are assigned addresses 8 (1000) to 15 (1111).

 IASF Bologna	Gamma ray detector array con Silicon Drift Chamber	Int Repxxxx Pag 62 Agosto 2010
---	---	--------------------------------------

7.3 SPARSE DATA SCAN VERSUS FULL READOUT

Purpose:

Two readout schemes were implemented: the first one as in the original ICARUS chip (sparse data scan) to read only those channels in which the signal was higher than the threshold, and the second readout mode in which all channels are read out sequentially regardless of the signal level.

Readout mode selection:

The sparse data scan readout mode is activated when the SPARSE_SCAN digital input is set to HIGH level, while setting SPARSE_SCAN to LOW will activate the sequential readout of all channels assigned to both the X-ray application and to the scintillator application. Use the KILL PIX function to exclude channels from readout sequence.

7.4 CAL MODE

The CAL mode basic channel stimulation function was suppressed as all channels can be connected to a common voltage source for test purposes.

7.5 SHAPETEST FUNCTION

Purpose:

Exclude the stretcher stage so that the output of the Shaper of a given channel can be directly observed at the ANALOG_OUT pin. This function is under ENABLE control. During the activation of the ShapeTest function, the DATA_READY outputs are disabled and the pixel address of the observed channel is loaded onto the PIXEL_ADDR(3..0) output bus.

Activation:

1. All digital inputs must be at LOW level, except SELECT_bar input that is normally HIGH. It is assumed that, following a GENERAL_RESET, an offset auto-calibration has been performed.
2. Set the ENABLE and SHAPETEST inputs to HIGH.
3. The shaper's output of the 1st channel (pixel addr. "0") is available on the ANALOG_OUT output when the CAL_CLK input goes HIGH. As long as CAL_CLK stays HIGH, the channel can be stimulated electrically using the CAL input; when CAL_CLK goes back to LOW, the shaper's output is still available on the ANALOG_OUT pin, but only signals applied on the channel input AI(0) will be processed.
4. Following the same timing as for the CAL mode, the next 15 CAL_CLK pulses sequentially connect the shaper's output of the next channels (pixel addr. "1" to "15") to the ANALOG_OUT output. As long as CAL_CLK stays HIGH, the observed channel can be stimulated electrically using the CAL input; when CAL_CLK goes back to LOW, the shaper's output is still available on the ANALOG_OUT pin, but only signals applied on the channel input will be processed.
5. A GENERAL_RESET pulse (>1us) must be applied to clear the CAL register used in the SHAPETEST mode.

 IASF Bologna	Gamma ray detector array con Silicon Drift Chamber	Int Repxxxx Pag 63 Agosto 2010
--	---	--------------------------------------

Note:

An Offset Auto-Calibration sequence is required after the GENERAL_RESET ending the SHAPETEST mode. If necessary, the Pixel Exclusion Sequence has to be repeated as well.

8 EXTENDED FEATURES

8.1 COMMENT

This section describes features of the ASIC that have been neither specified nor documented in the ICARUS ASIC specification (LABEN Doc. No. TL11573). These include the Offset Auto-Calibration function, Register Test Mode, internal Threshold check and DAC's tests.

8.2 OFFSET AUTO-CALIBRATION FUNCTION

Purpose:

Provide an automatic correction of the internal offsets and of the variations thereof with temperature and aging. The activation of this function is required:

- upon circuit power-on and after a GENERAL_RESET,
- after a GENERAL_RESET,
- whenever the operating conditions of the ASIC significantly change (what significantly means here depends on the actual sensitivity of the offset with temperature and other operating conditions such as supply voltage).

Activation:

1. All digital inputs must be at LOW level, except SELECT_bar input that is normally HIGH.
2. Activate the RESET input for at least 1us.
3. Activate the OFF_CAL_START input for at least 1us.
4. At least 100ns after OFF_CAL_START has returned to LOW state, send a minimum of 120 clock pulses on the OFF_CAL_CLK input. The clock signal must stay HIGH for 500us min. and stay LOW for 10us min. At the end of the procedure, the clock must be LOW again.
5. Activate again the RESET input for at least 10us.

Notes:

The first RESET and OFF_CAL_START pulses may be coincident.

The auto-calibration procedure is completed after the 120th clock pulse. The next clock pulses (if any) will have no further effect, except that the activity of the OFF_CAL_CLK may induce triggering of the analog detection chain through parasitic capacitive coupling. PROMPT_TRIGGER and DATA_READY signals could be activated so that a RESET is indeed necessary before returning to normal operation.

During the auto-calibration, the Shaper input is disconnected from the CSA output and connected to the 2.5V reference (REF_Analog).

8.3 REGISTER TEST AND ERROR FUNCTION

Purpose & operation:

The Register Test Function was primarily intended for radiation test (SEU) and offset monitoring. It can be used to propagate any sequence of bits into the 256-stage ([8+7+1] bits x 16 channels) majority-vote register. The register flip-flops are chained according to the following FIFO structure:

- 16 bits per channel: the first [8+7] bits for offset calibration code and 1 bit for pixel exclusion information,
- register bit assignment (bit denoted as #0 appears at the register output):

Channel #	Threshold DAC (8 bits)	Output DAC (7bits)	Pixel Disable (1bit)	
Register Input				
0	MSB.....LSB	MSB.....LSB	0/1	← bit # 240
1	MSB.....LSB	MSB.....LSB	0/1	← bit # 224
2	MSB.....LSB	MSB.....LSB	0/1	← bit # 208
3	MSB.....LSB	MSB.....LSB	0/1	← bit # 192
4	MSB.....LSB	MSB.....LSB	0/1	← bit # 176
5	MSB.....LSB	MSB.....LSB	0/1	← bit # 160
6	MSB.....LSB	MSB.....LSB	0/1	← bit # 144
7	MSB.....LSB	MSB.....LSB	0/1	← bit # 128
8	MSB.....LSB	MSB.....LSB	0/1	← bit # 112
9	MSB.....LSB	MSB.....LSB	0/1	← bit # 96
10	MSB.....LSB	MSB.....LSB	0/1	← bit # 80
11	MSB.....LSB	MSB.....LSB	0/1	← bit # 64
12	MSB.....LSB	MSB.....LSB	0/1	← bit # 48
13	MSB.....LSB	MSB.....LSB	0/1	← bit # 32
14	MSB.....LSB	MSB.....LSB	0/1	← bit # 16
15	MSB.....LSB	MSB.....LSB	0/1	← bit # 0
Register Output				

Tabella 6 Descrizione registri interni

- A clock pulse applied to the REG_TEST_CK input shifts all bits in the register towards the output by one step so that the next bit appears on the REG_TEST_OUT output and that the REG_TEST_IN input state is pushed into the register.

Notes:

The output (slave) latch of each flip-flop is tripled and a majority-voting scheme is implemented. Whenever one slave latch exhibits a different state from the other two slave latches (e.g. after a Single-Event Upset), the ERROR output turns to HIGH. The REG_TEST_CK input must be kept to LOW during normal operation in order to take advantage of the majority-voting scheme (as the latter is only implemented in the slave latch).

It is useful to retrieve the data in the register after an Offset Auto-Calibration to check that there is room for further offset drift: e.g. over an 8-bit scale (0-255) the initial offset correction should not exceed the range 64-190 ($\frac{1}{4}$ to $\frac{3}{4}$ of the full scale).

8.4 INTERNAL THRESHOLD CHECK:

Purpose:

Measure the gain between the external voltage on the THRESH input and the actual internal threshold level by connecting the latter voltage to the CAL pin.

Activation:

1. All digital inputs must be at LOW level, except SELECT_bar input that is normally HIGH.
2. Set the TEST input to HIGH to connect the internal threshold level to the CAL pin. The internal threshold is referred to the REF_Analog voltage (2.5V).

Notes:

For a precise measurement, the input impedance of the voltmeter connected to the CAL pin for that purpose must be larger than $100M\Omega$. When TEST is HIGH, the Shaper input is disconnected from the CSA output and connected to the 2.5V reference (REF_Analog).

8.5 INTERNAL DAC'S TEST

Purpose:

Give an insight of the Offset Auto-Calibration DAC's characteristics. This is primarily intended for on-wafer testing and statistical purposes. The analog voltage correction corresponding to a particular bit of any of the 16+1 DAC's can be measured by pushing a "1" into the test register (that normally stores the offset correction information) while all other bits are "0" and concurrently activating the connection between the corresponding channel and the analog output buffer.

Activation:

1. All digital inputs must be at LOW level, except SELECT_bar input that is normally HIGH.
2. Clear the content of the test register by applying a pulse ($> 1\mu s$) on the GENERAL_RESET input.
3. Set the TEST and ENABLE inputs to HIGH to activate the output buffer connection.
4. Apply a pulse ($> 1\mu s$) on the CAL_CLK input to connect the 1st channel to the ANALOG_OUT.

5. Set the REG_TEST_IN input to HIGH.
6. Apply a pulse on the REG_TEST_CK input (width > 1us) to push the “1” into the register. This sets the MSB of the Threshold DAC of the 1st channel to HIGH while all other are LOW; consequently the output voltage steps down for the value of the MSB (allow 10-20us for the voltage to settle).
7. Set the REG_TEST_IN back to LOW.
8. The next 7 clock pulses on the REG_TEST_CK input will propagate the “1” to each bit of the Threshold DAC (from MSB-1 to LSB), thus causing the ANALOG_OUT to step up exponentially to its quiescent value.
9. 8 more clock pulses on the REG_TEST_CK are necessary to check the bits of the Output DAC associated with the 1st channel. The same sort of pattern appears at the ANALOG_OUT.
10. Apply a pulse (> 1us) on the CAL_CLK input to connect the 2nd channel to the ANALOG_OUT.
11. Repeat steps 6, 8 & 9 to test the DAC’s of the 2nd channel.
12. Repeat steps 10 & 11 as necessary to test all other channels.

Note:

The offset voltage of the ANALOG_OUT with respect to the 2.5V REF_Analog must be recorded for each DAC bit during wafer testing. Off-line processing can then be used to evaluate the DAC’s non-linearity. The monotonicity and resolution of the DAC’s are particularly important for the correct operation of the ASIC.

Appendice J Scheda FEE e Collegamenti SDC - ASIC

La scheda FEE contiene i rivelatori e gli ASIC di lettura dei segnali.

In particolare le mating network per la connessione tra rivelatori ed ASIC (Figura 48). Un rivelatore può essere collegato ad un canale di lettura lento o ad un canale di lettura veloce. Poiché non ci sono abbastanza canali di lettura per tutti i rivelatori la mating network permette, per alcuni canali di lettura, la connessione di più di un rivelatore. Uno solo dei rivelatori possibili dovrà essere collegato al canale di lettura.

Nella Figura 48 e Figura 49 è mostrato lo schema di collegamento tra SDC ed ASIC via mating network

Ogni rivelatore risulta quindi collegato come illustrato in Figura 50 (3 tavole)

Nelle Figura 51 (7 tavole) sono mostrati gli schemi elettrici della scheda e la disposizione dei componenti sui due lati della scheda (Figura 52).

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
Pag 68
Agosto 2010

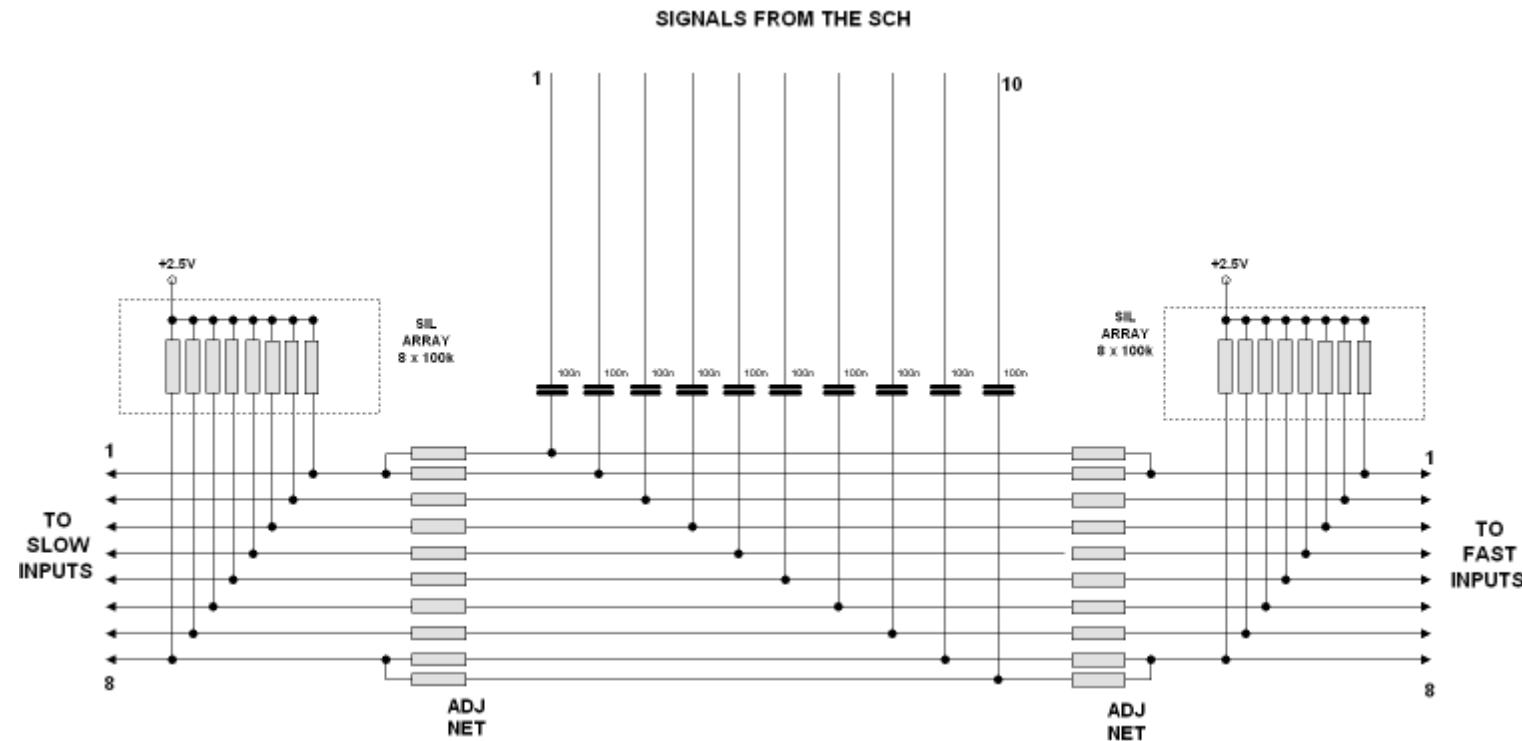


Figura 48 Mating network per la connessione tra rivelatori ed ASIC

Gamma ray detector array con Silicon Drift Chamber

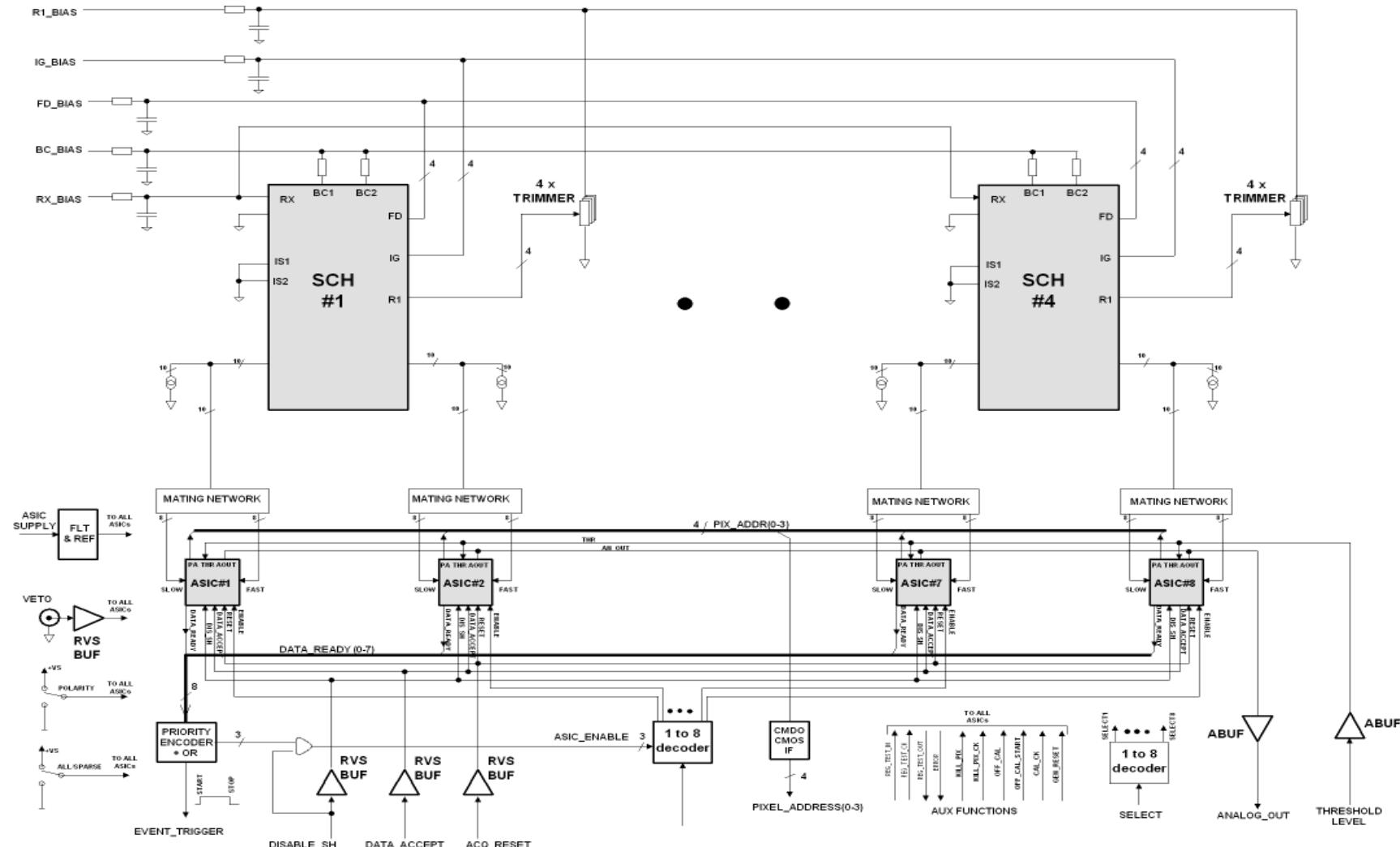


Figura 49 Schema di collegamento tra SDC ed ASIC via mating network

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
Pag 70
Agosto 2010

	IC9 - 4s R135 = 47k 107	IC9 - 12f R172 = 47k 99	IC9 - 0s R139 = ∞	IC9 - 8f R176 = 56k 103	IC8 - 3s R155 124	IC8 - 11f R207 116	IC8 - 7s R203 = ∞	IC8 - 15f R130 = 47k 112
5	IC9 - 7s R140 = 47k 104	IC9 - 15f R177 = ∞	IC9 - 3s R134 = 47k	IC9 - 11f R171 = 47k 100	IC8 - 0s R199	IC8 - 8f R129	IC8 - 4s R156 = 47k 123	IC8 - 12f R208 = 47k 115
4	IC9 - 5s R136 = 47k 106	IC9 - 13f R173 = 47k 98	IC9 - 0s R138 = 47k 111	IC9 - 8f R175 = ∞	IC8 - 2s R154 125	IC8 - 10f R206 117	IC8 - 7s R204 = 47k 120	IC8 - 15f R131 = ∞
3	IC9 - 7s R141 = ∞	IC9 - 15f R178 = 47k 96	IC9 - 2s R133 = 47k 109	IC9 - 10f R170 = 47k 101	IC8 - 0s R202 = 47k 127	IC8 - 8f R128 = 47k 119	IC8 - 5s R200 = 47k 122	IC8 - 13f R126 = 47k 114
2	IC9 - 6s R137 = 47k 105	IC9 - 14f R174 = 47k 97	IC9 - 1s R132 = 47k 110	IC9 - 9f R169 = 47k 102	IC8 - 1s R153 = 47k 126	IC8 - 9f R205 = 47k 118	IC8 - 6s R201 = 56k 121	IC8 - 14f R127 = 56k 113
1	D	C			B		A	

Rivelatore HY1

Figura 50 Rivelatore HY1: ad ogni rettangolo corrisponde un pixel le cui coordinate sono indicate esternamente alla mappa (es pixel D3) Un pixel può essere collegato ad un canale veloce o lento del relativo integrato (Es D£ collegato all'integrato IC9 canale 5s (lento) ed all'integrato IC9 canale 13f (veloce). con resistenze di 47 kOhm. Sempre in esempio l'indirizzo logico del canale lento e' 106 di quello veloce 98. Un riquadro bianco indica mancanza di collegamento Un riquadro grigio indica FET malfunzionante.

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
 Pag 71
 Agosto 2010

	IC11 - 3s	IC11 - 11f	IC11 - 7s	IC11 - 15f	IC10 - 4s	IC10 -12f	IC10 - 0s	IC10 - 8f
5	R191 = 56k	R79 = 56k	R195 = 56k	R83 = ∞	R144 = 56k	R181 = 56k	R150 = ∞	R187 = 56k
	76	68	72		91	83		87
4	IC11 - 0s	IC11 - 8f	IC11 - 4s	IC11 - 12f	IC10 - 7s	IC10 -15f	IC10 - 3s	IC10 -11f
	R196 = 56k	R84 = ∞	R190 = 56k	R78 = 56k	R149 = ∞	R186 = 56k	R145 = 56k	R182 = 56k
	79		75	67		80	92	84
3	IC11 - 2s	IC11 - 10f	IC11 - 7s	IC11 - 15f	IC10 - 5s	IC10 -13f	IC10 - 0s	IC10 -8f
	R192 = 56k	R80 = 56k	R194 = ∞	R82 = 56k	R143 = 56k	R180 = 56k	R151 = 56k	R188 = ∞
	77	69		64	90	82	95	
2	IC11 - 0s	IC11 - 8f	IC11 - 5s	IC11 - 13f	IC10 - 7s	IC10 -15f	IC10 - 2s	IC10 -10f
	R197 = ∞	R85 = 56k	R189 = 56k	R77 = 56k	R148 = 56k	R185 = ∞	R146 = 56k	R183 = 56k
		71	74	66	88		93	85
1	IC11 - 1s	IC11 - 9f	IC11 - 6s	IC11 - 14f	IC10 - 6s	IC10 -14f	IC10 - 1s	IC10 - 9f
	R193 = 56k	R81 = 56k	R152 = 56k	R198 = 56k	R142 = 56k	R179 = 56k	R147 = 56k	R184 = 56k
	78	70	73	65	89	81	94	86
	D	C			B		A	

Rivelatore HY2

Per la legenda si veda la Figura 50

Gamma ray detector array con Silicon Drift Chamber

Int Repxxxx
Pag 72
Agosto 2010

	IC13 - 4s R113 = 56k 43	IC13 - 12f R112 = 56k 35	IC13 - 0s R121 = 56k 47	IC13 - 8f R120 = ∞	IC12 - 3s R91 = 56k 80	IC12 -11f R90 = 56k 52	IC12 - 7s R103 = ∞	IC12 - 15f R102 = 56k 48
5	IC13 - 7s R123 = 56k 40	IC13 - 15f R122 = ∞	IC13 - 3s R111 = 56k 44	IC13 - 11f R110 = 56k 36	IC12 - 0s R101 = ∞	IC12 -8f R100 = 56k 55	IC12 - 4s R93 = 56k 59	IC12 -12f R92 = 56k 51
4	IC13 - 5s R115 = 56k 42	IC13 -13f R114 = 56k 34	IC13 -0s R119 = ∞	IC13 - 8f R118 = 56k 39	IC12 - 2s R89 = 56k 61	IC12 -10f R88 = 56k 53	IC12 - 7s R105 = 56k 56	IC12 -15f R104 = ∞
3	IC13 - 7s R125 = ∞	IC13 - 15f R124 = 56k 32	IC13 - 2s R109 = 56k 45	IC13 - 10f R108 = 56k 37	IC12 - 0s R99 = 56k 63	IC12 -8f R98 = ∞	IC12 - 5s R95 = 56k 58	IC12 -13f R94 = 56k 50
2	IC13 - 6s R117 = 56k 41	IC13 - 14f R116 = 56k 33	IC13 - 1s R107 = 56k 46	IC13 - 9f R106 = 56k 38	IC12 - 1s R87 = 56k 62	IC12 -9f R86 = 56k 54	IC12 - 6s R97 = 56k 57	IC12 - 14f R96 = 56k 49
1	D	C			B		A	

Rivelatore HY3

Per la legenda si veda la Figura 50



Gamma ray detector array con Silicon Drift Chamber

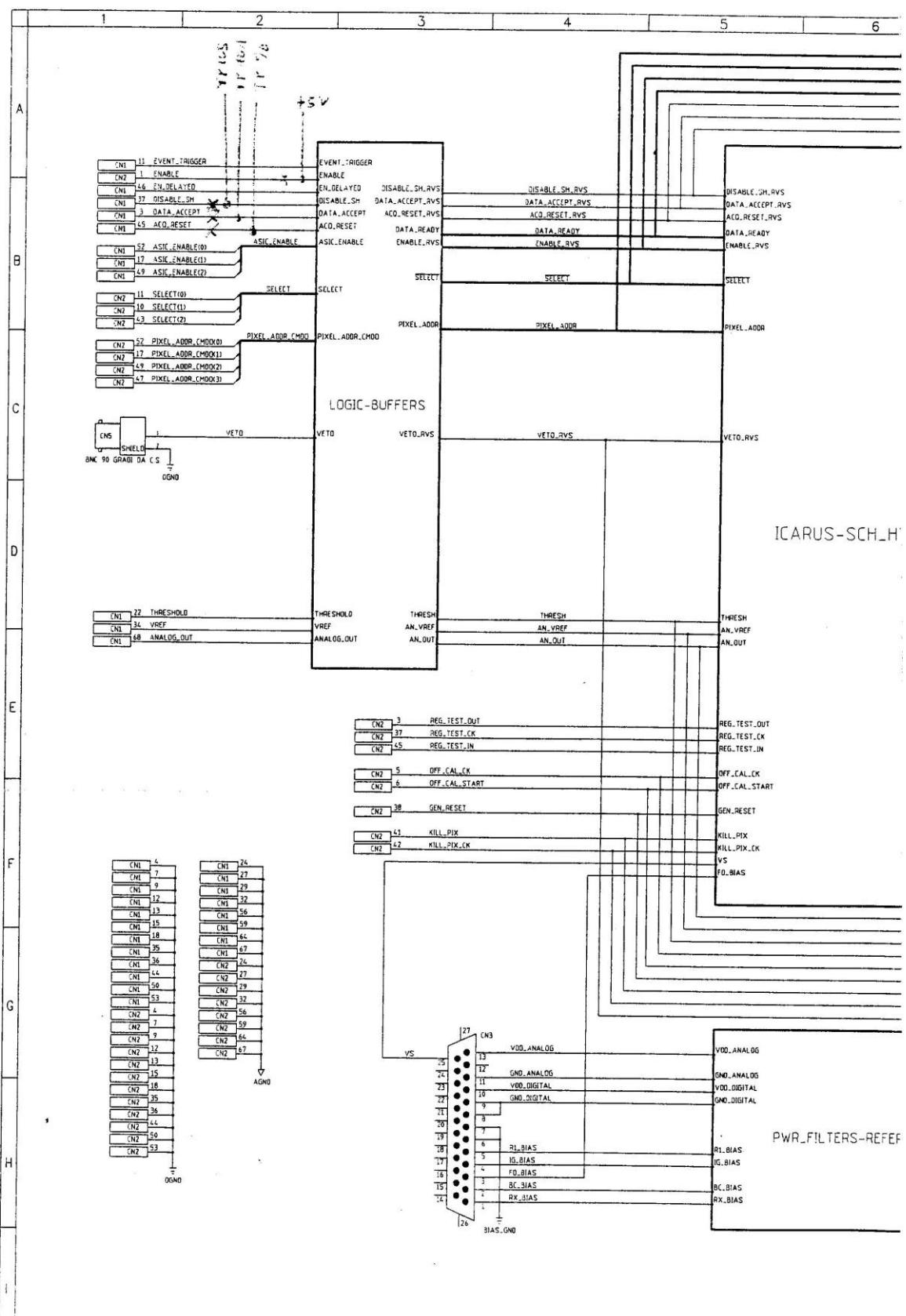
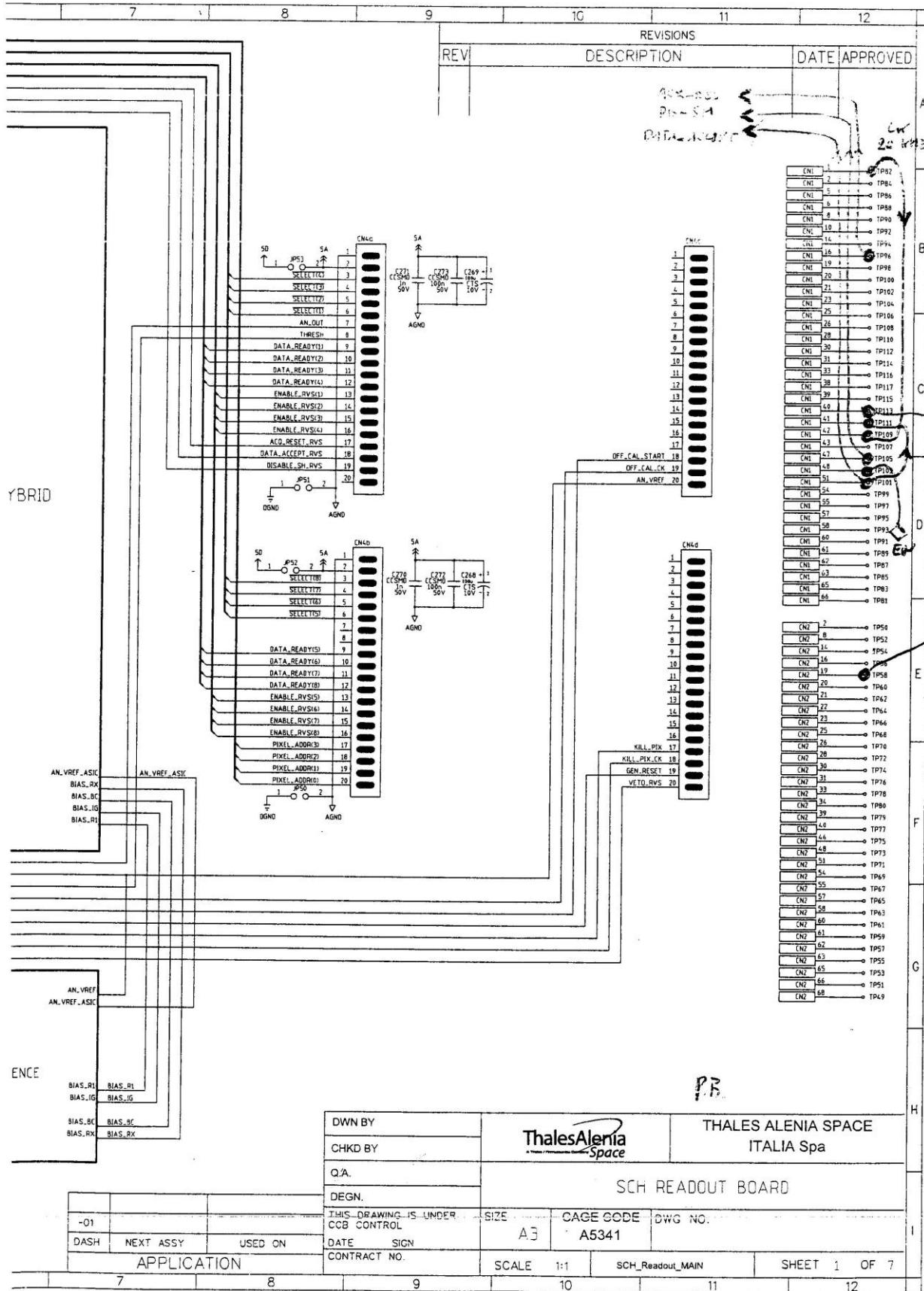


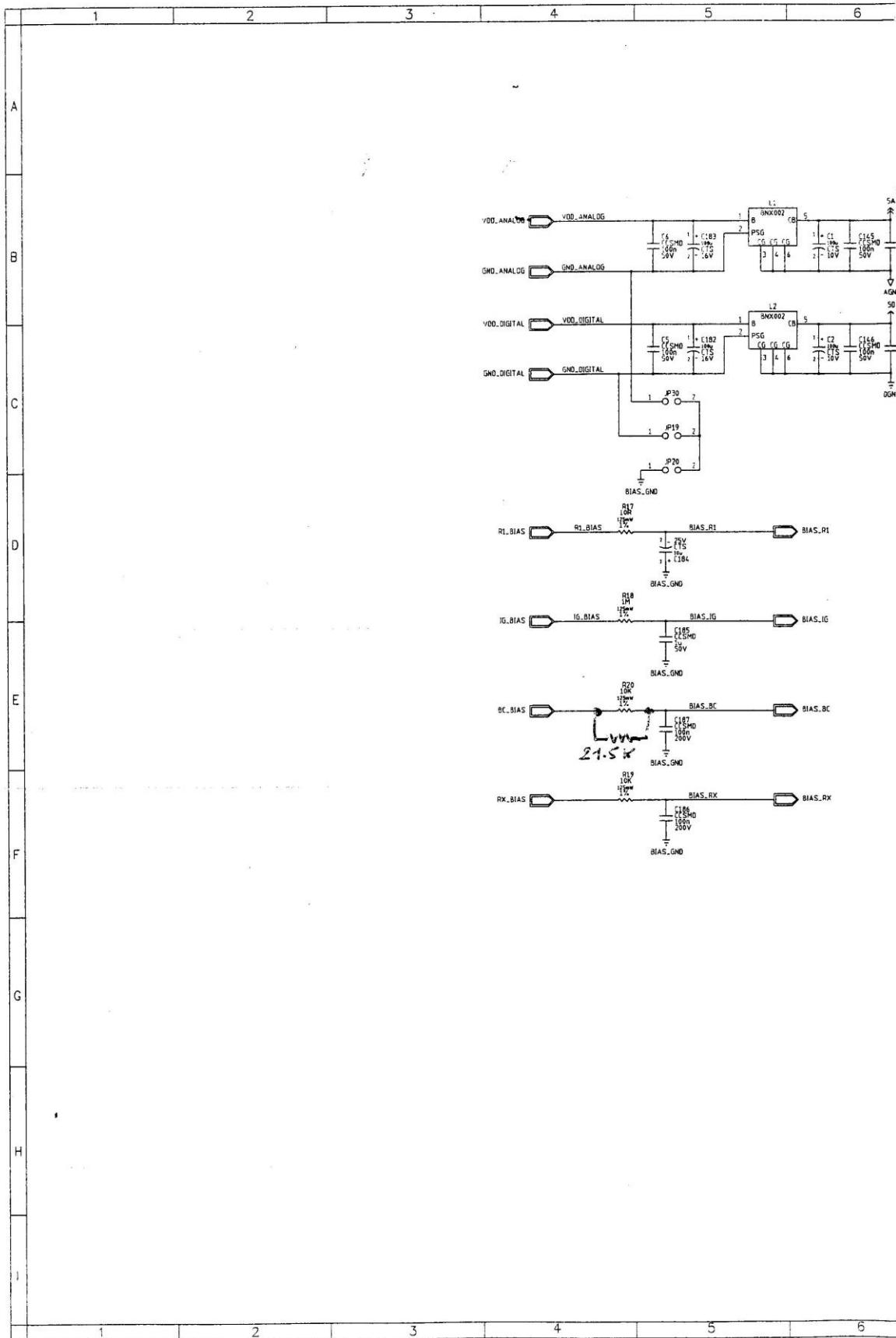
Figura 51 Schema elettrico scheda FEE

Gamma ray detector array con Silicon Drift Chamber

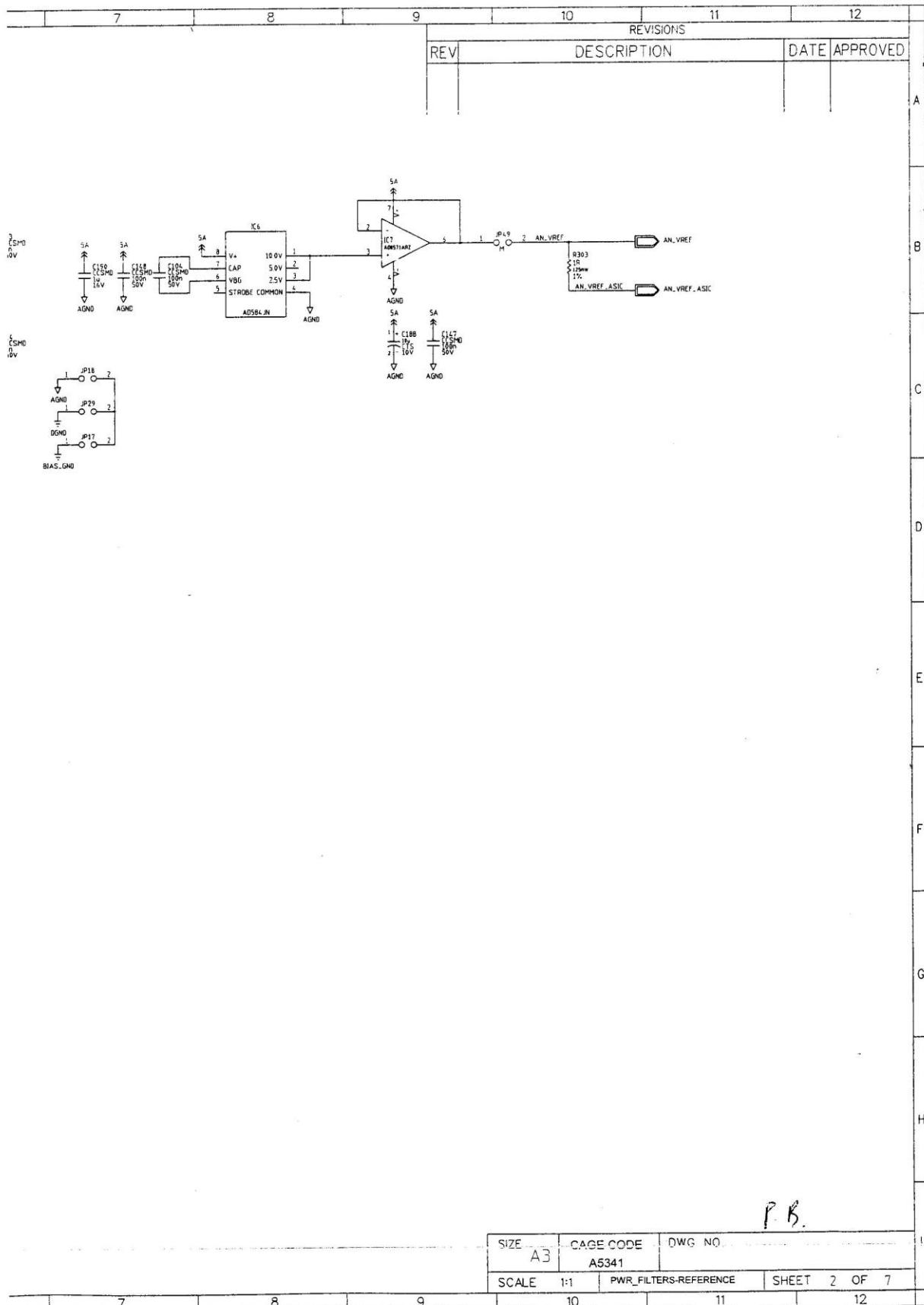




Gamma ray detector array con Silicon Drift Chamber

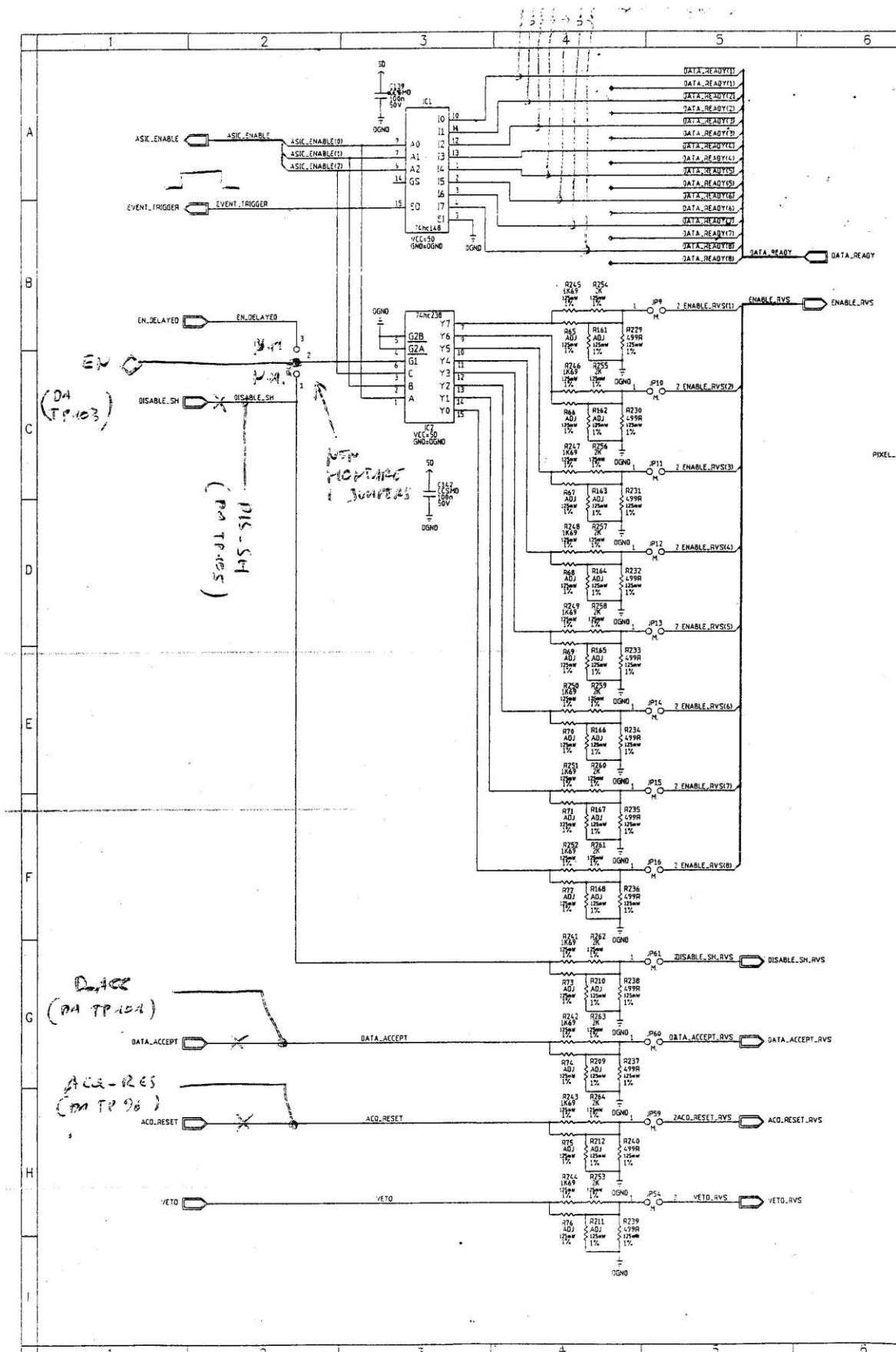


Gamma ray detector array con Silicon Drift Chamber

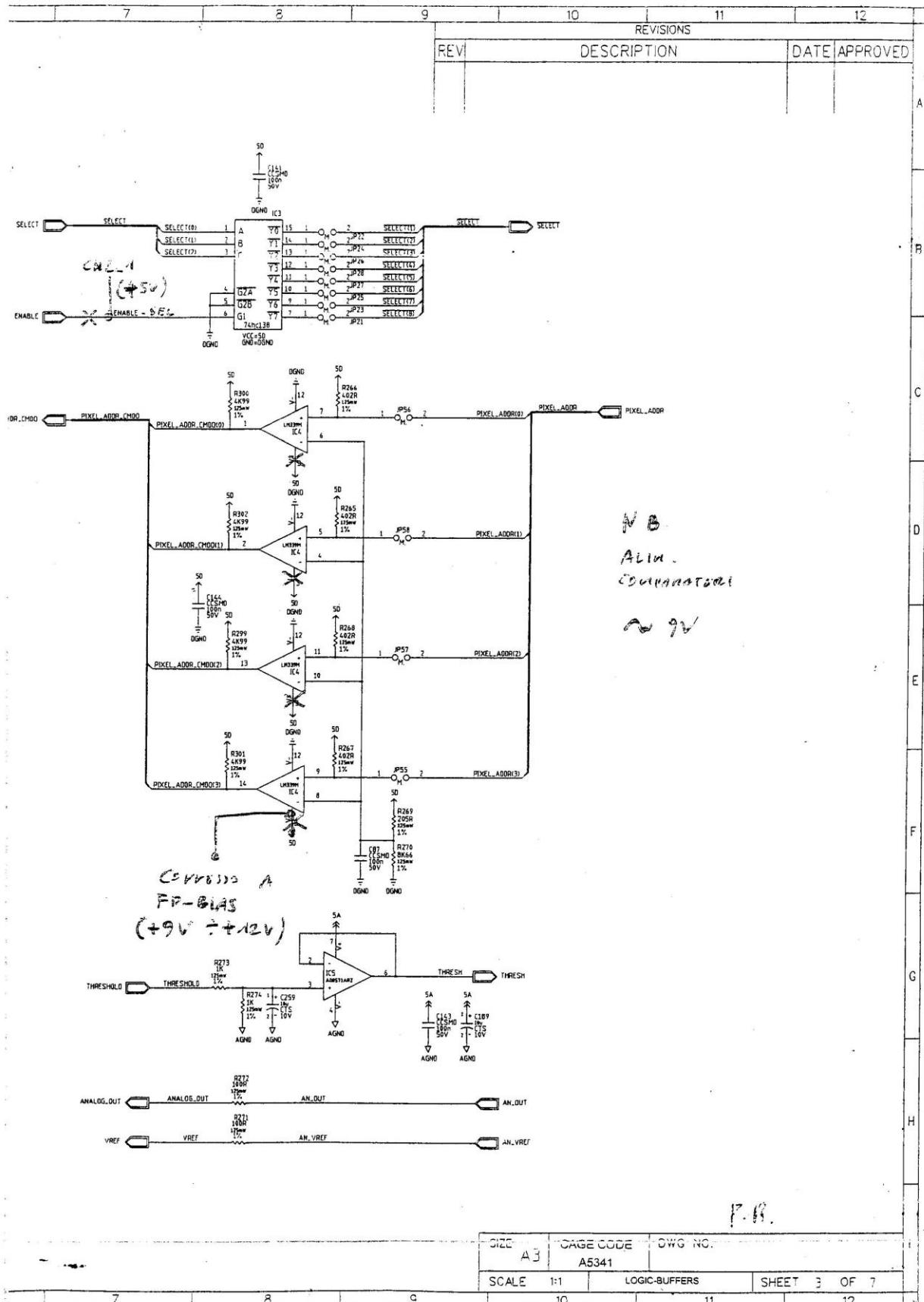




Gamma ray detector array con Silicon Drift Chamber

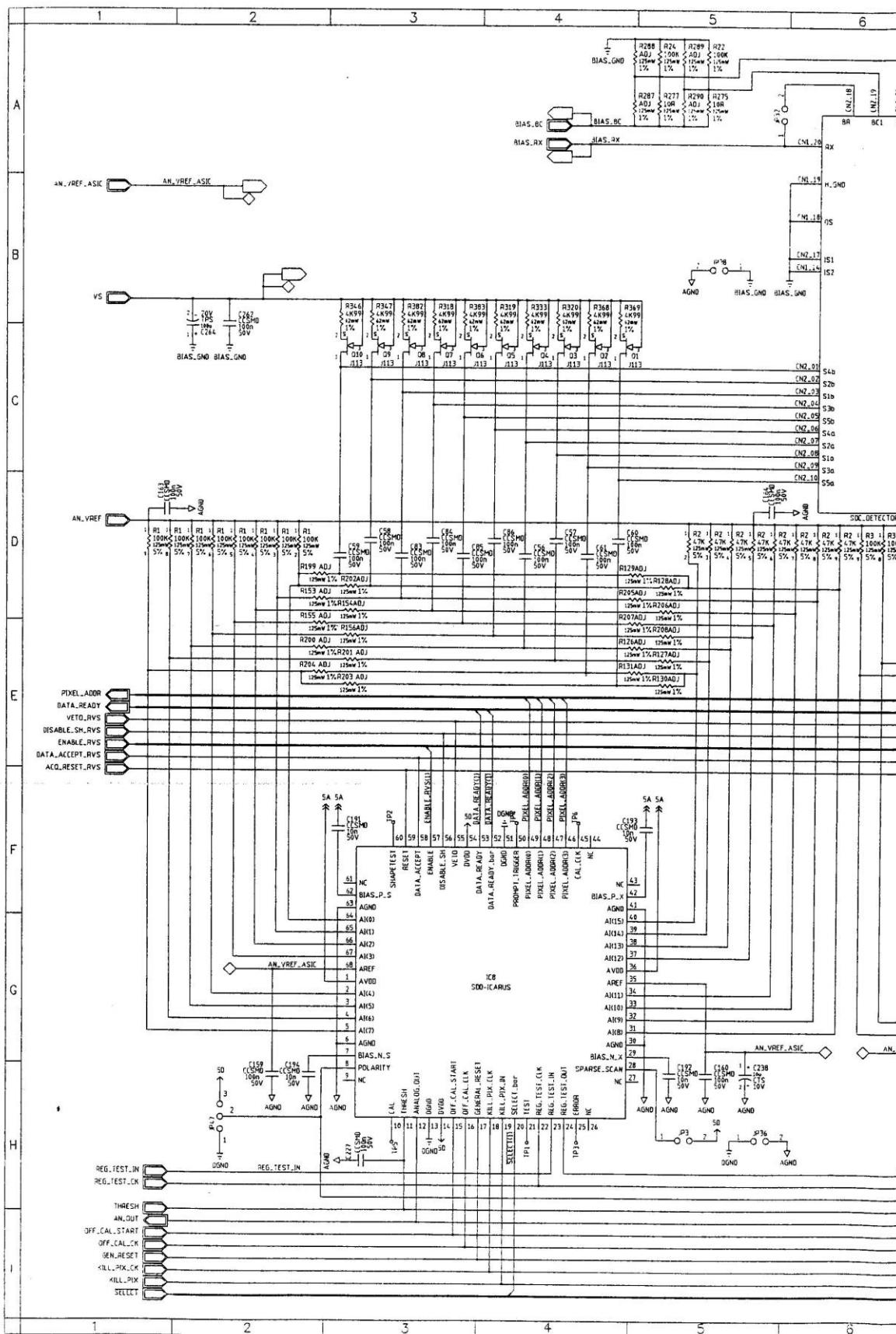


Gamma ray detector array con Silicon Drift Chamber



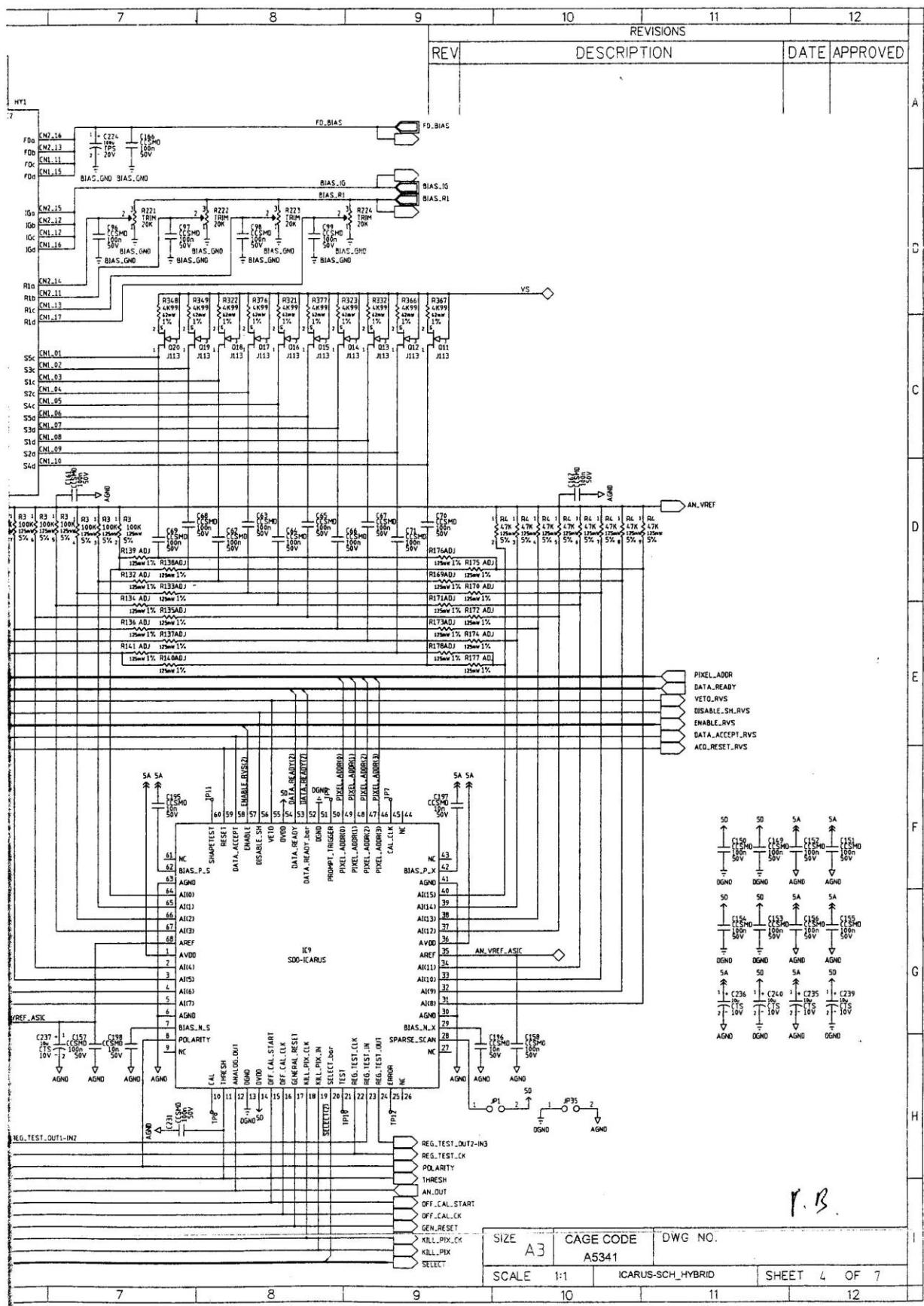


Gamma ray detector array con Silicon Drift Chamber



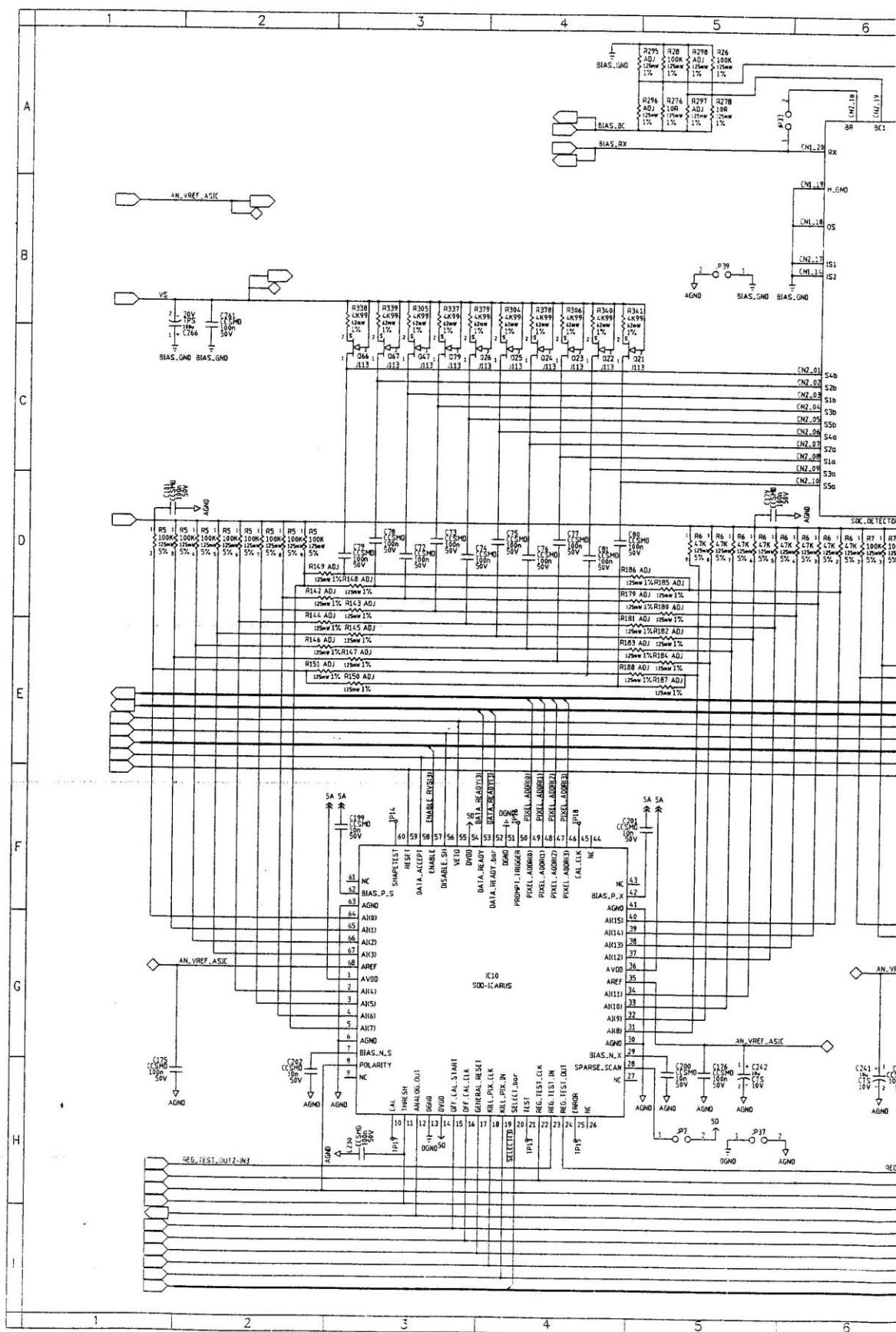


Gamma ray detector array con Silicon Drift Chamber



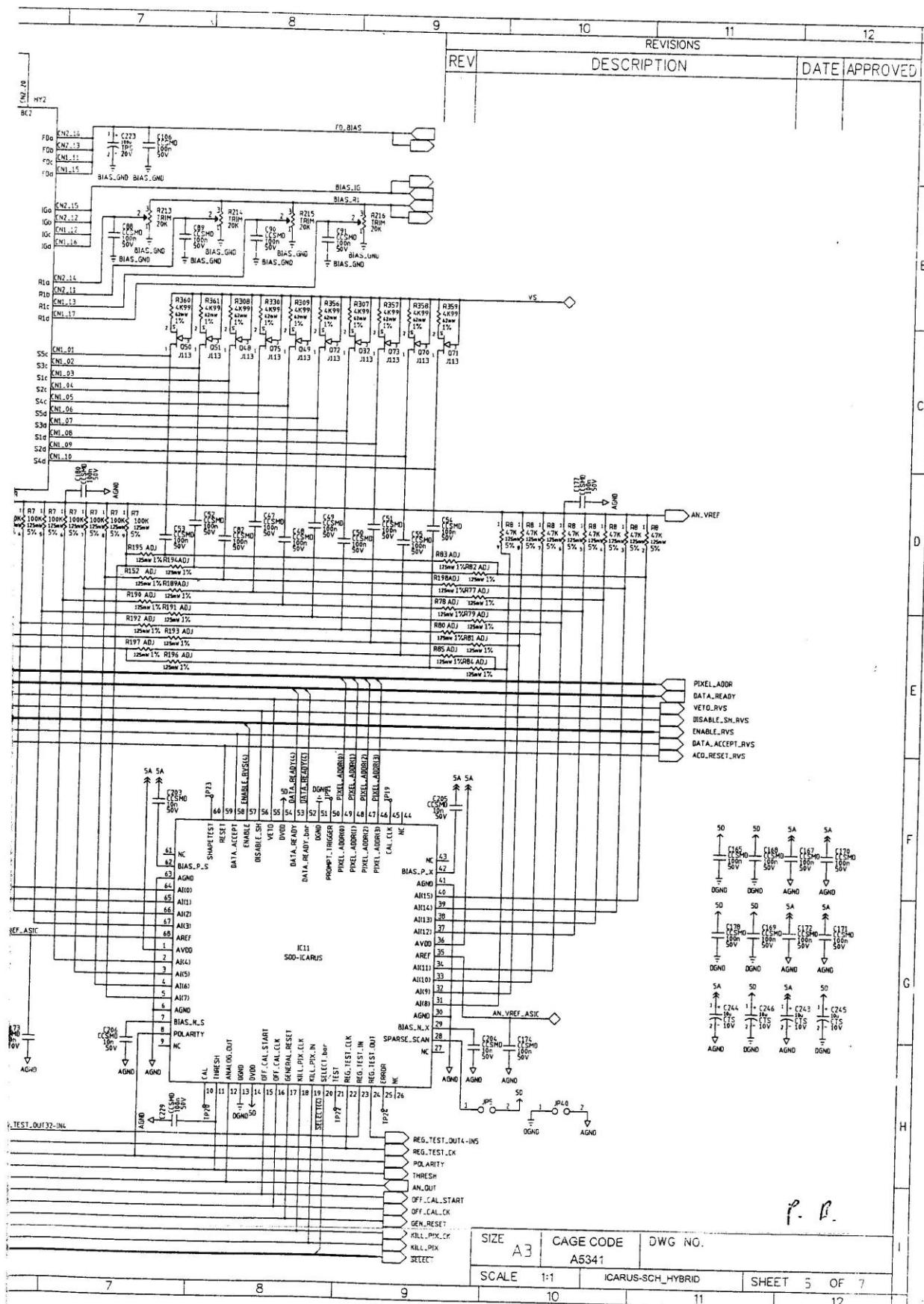


Gamma ray detector array con Silicon Drift Chamber



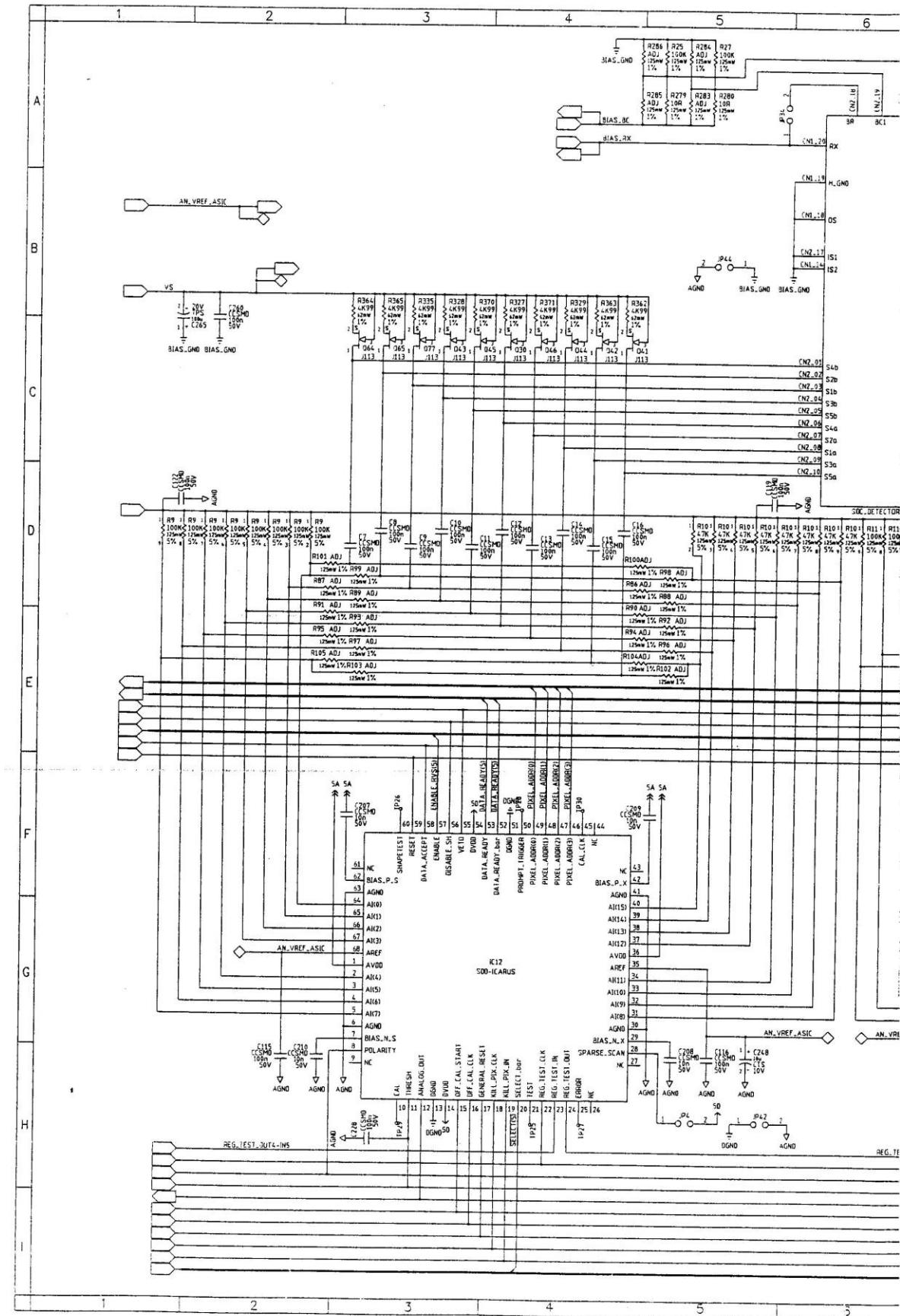


Gamma ray detector array con Silicon Drift Chamber



Gamma ray detector array con Silicon Drift Chamber

Agosto 2010



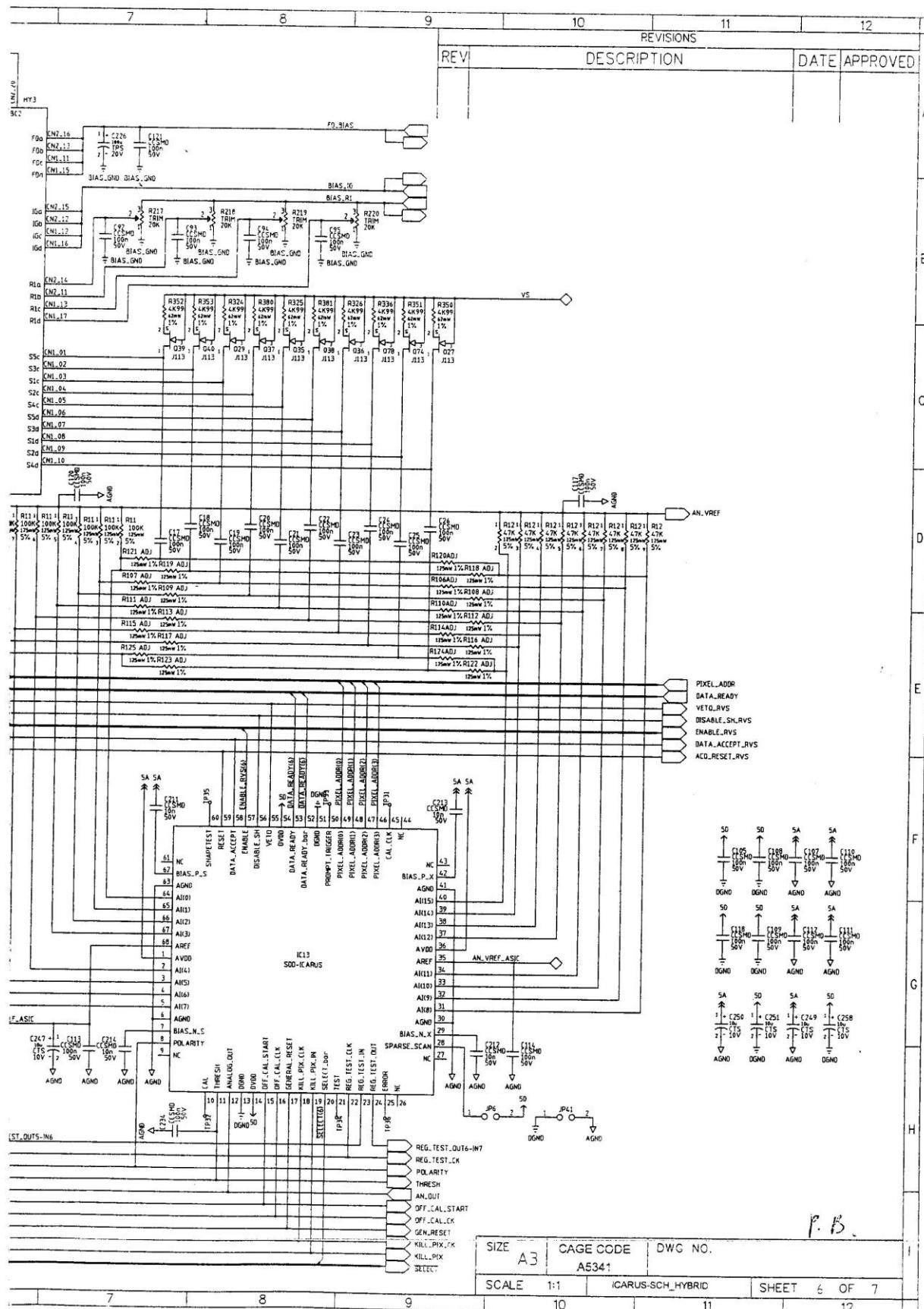
Gamma ray detector array con Silicon Drift Chamber

IASF Bologna

Int Repxxxx

Pag 84

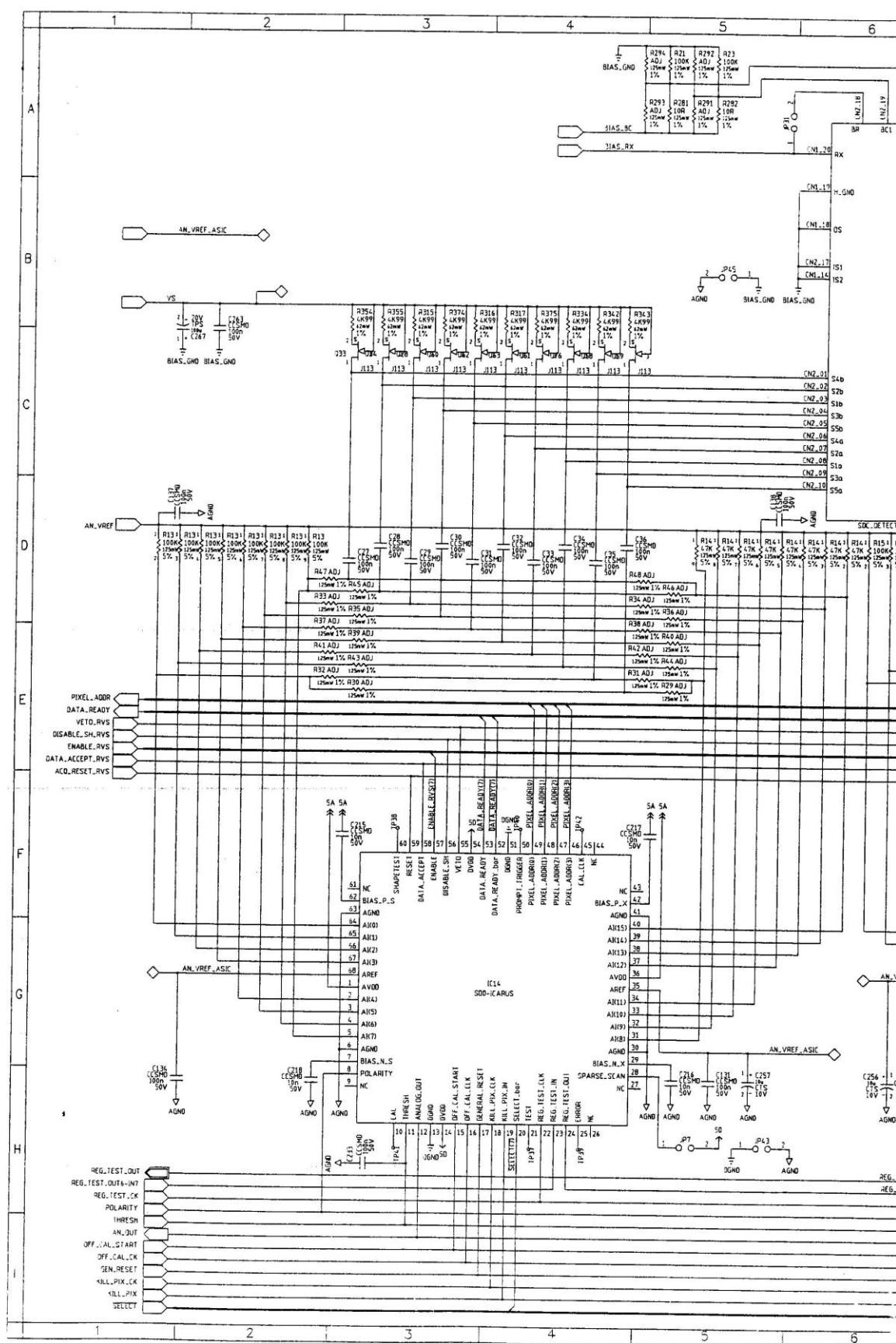
Agosto 2010



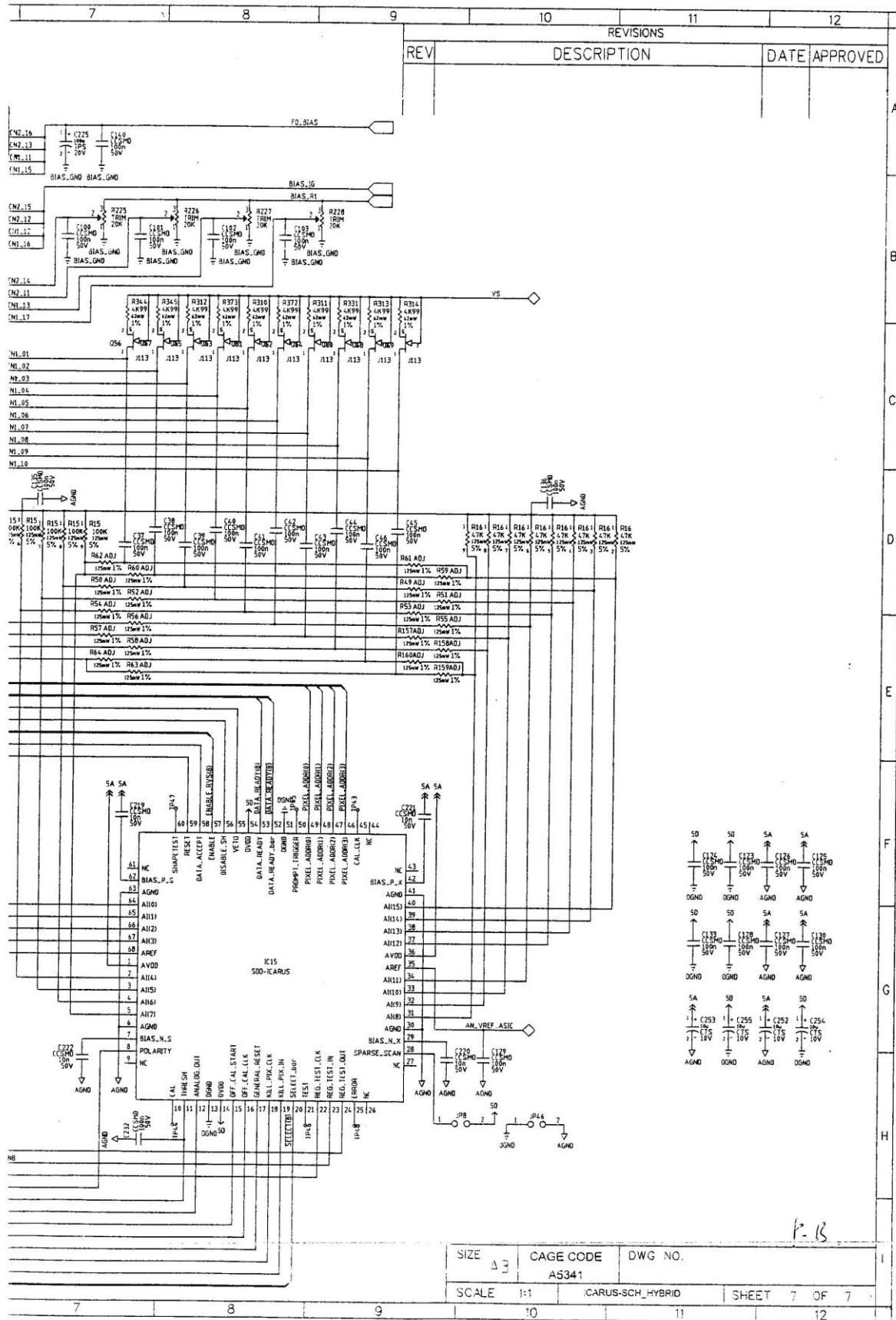


Gamma ray detector array con Silicon Drift Chamber

Agosto 2010



Gamma ray detector array con Silicon Drift Chamber





Gamma ray detector array con Silicon Drift Chamber

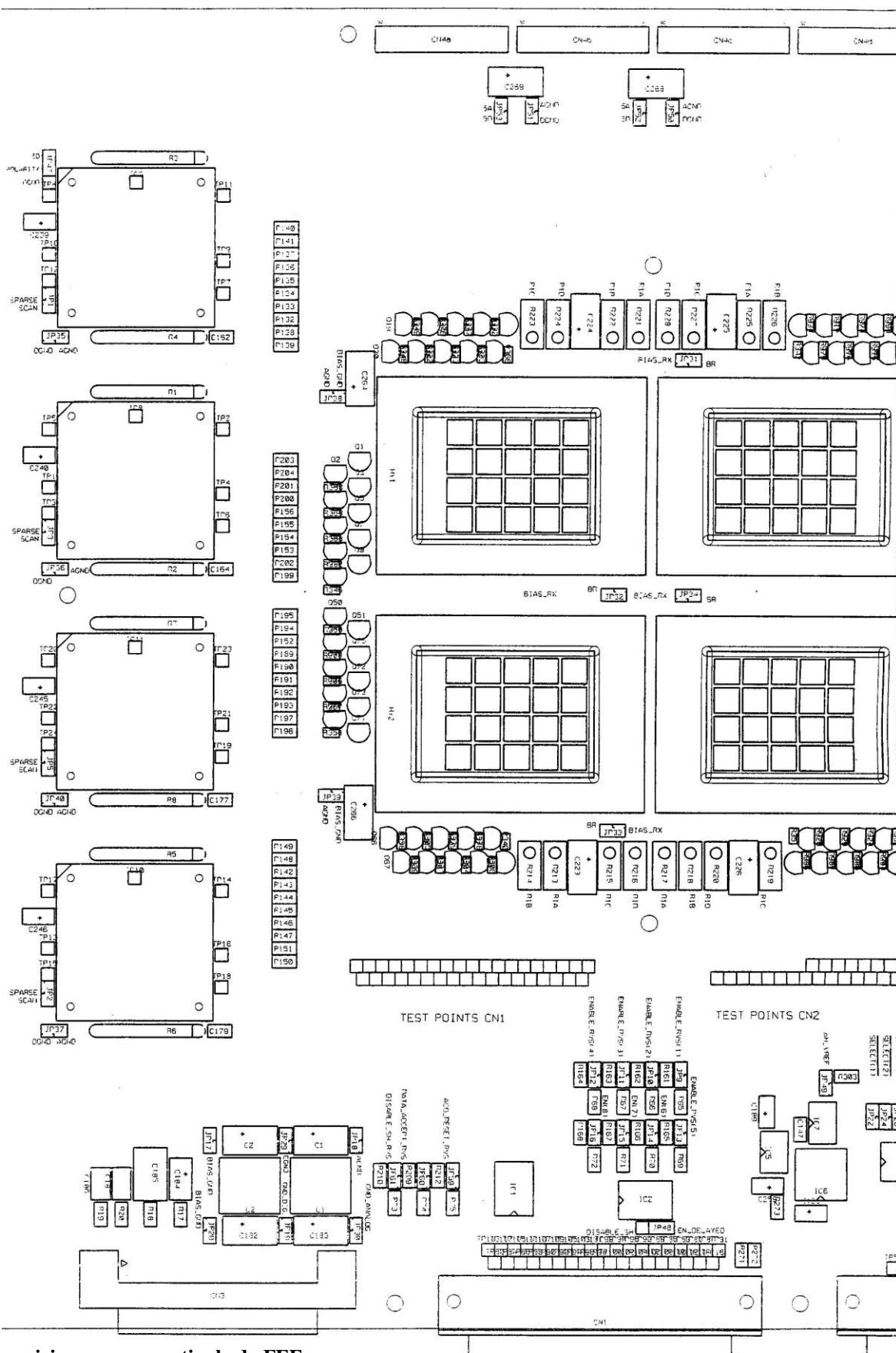


Figura 52 Disposizione componenti scheda FEE

Any information contained in this document is strictly private and confidential. All rights reserved.

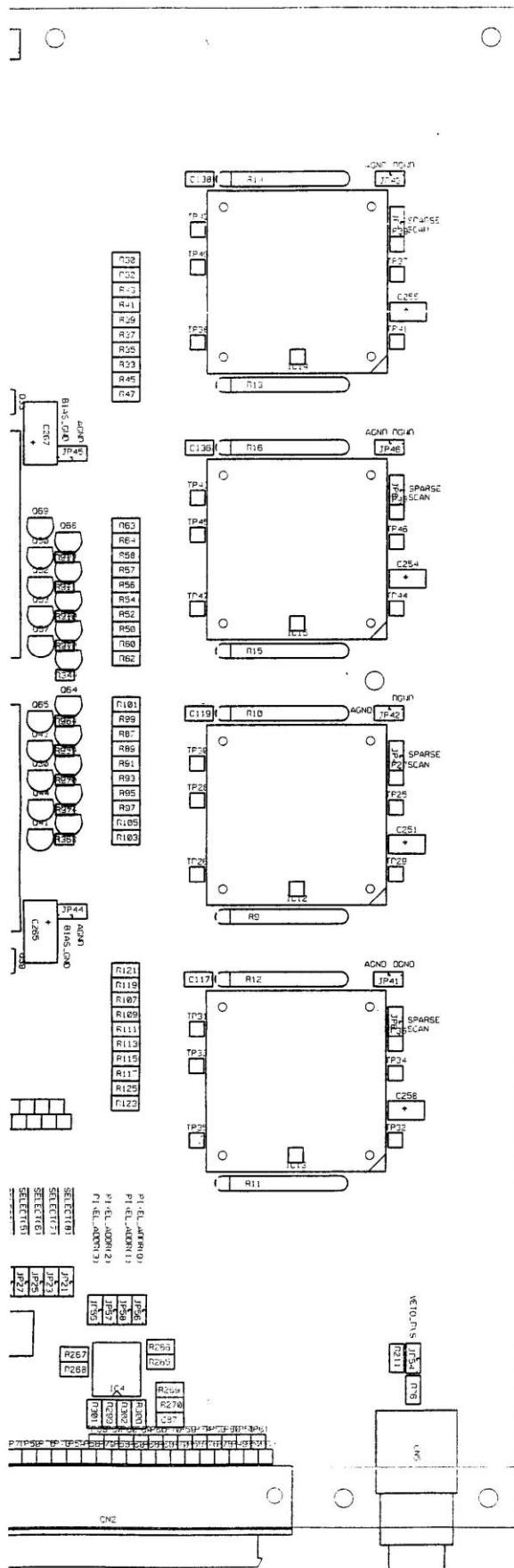


Gamma ray detector array con Silicon Drift Chamber

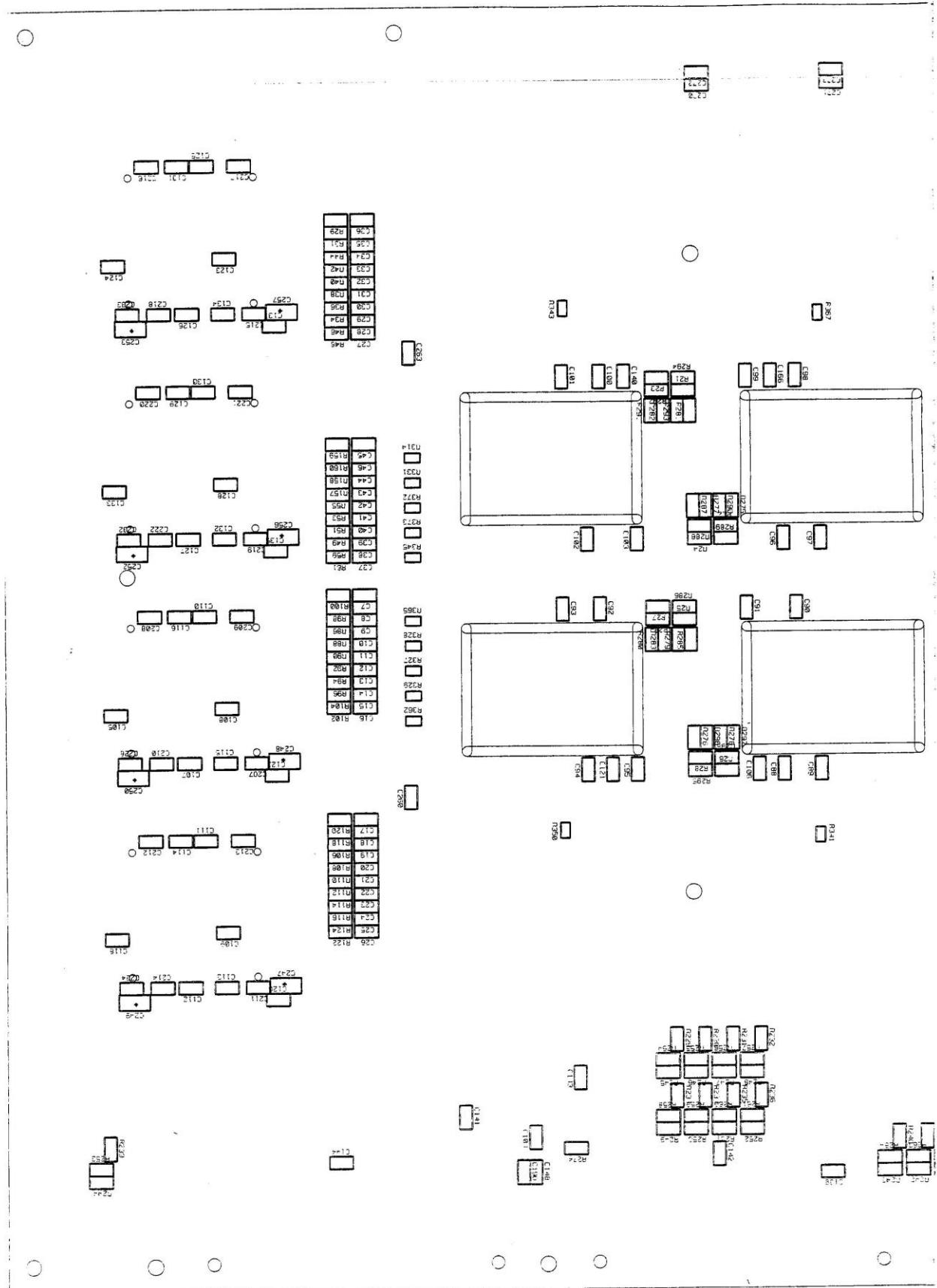
Int Repxxxx

Pag 88

Agosto 2010



Gamma ray detector array con Silicon Drift Chamber



Gamma ray detector array con Silicon Drift Chamber

